

논문 2004-41SD-3-12

초저전력 프로세서용 16-bit 단열 ALU의 설계 및 구현

(A Design and Implementation of 16-bit Adiabatic ALU for Micro-Power Processor)

이 한 승*, 나 인 호*, 문 용**, 이찬호**

(Hanseung Lee, Inho Na, Yong Moon, and Chanhoo Lee)

요 약

단열회로를 이용하여 16-bit ALU와 단열회로에 4가지 위상을 가지는 전원클럭을 공급하기 위한 전원클럭 발생기를 설계하였다. 4개의 전원클럭 신호선의 전하는 AC 형태의 전원클럭을 통해서 복원되어 에너지 소모를 줄인다. 구현에 사용한 단열회로는 ECRL(efficient charge recovery logic) 형태를 기본으로 하였으며 0.35 μ m CMOS 공정을 사용하여 설계하였고 3.3V 전원을 사용하였다. 회로설계 후 layout을 진행하였으며, layout 후 LPE(layout parasitic extraction)를 수행하여 이를 모의실험에 사용하였다. 모의실험결과 전원클럭 발생기를 포함한 단열회로를 이용한 ALU는 동일한 구조를 갖는 기존의 CMOS ALU보다 1.15 ~ 1.77배 정도의 에너지소모를 감소 시켰다.

Abstract

A 16-bit adiabatic ALU(arithmetic logic unit) is designed. A simplified four-phase clock generator is also designed to provide supply clocks for the adiabatic circuits. All the clock line charge on the capacitive interconnections is recovered to recycle energy. Adiabatic circuits are designed based on ECRL(efficient charge recovery logic) using a 0.35 μ m CMOS technology. The post-layout simulation results show that the power consumption of the adiabatic ALU including supply clock generator is reduced by a factor of 1.15~1.77 compared to the conventional CMOS ALU with the same structure.

Keywords : Adiabatic, ALU, ECRL, CMOS

I. 서 론

사람들의 생활형태에서 이동성이 증가하고 휴대용 정보관련 기기들이 보편화됨에 따라서 전자기기들의 이동성이 요구되고 소형화에 대한 필요가 증대하고 있다. 이러한 기기들은 대부분 배터리에 의해서 동작을 하므로 동작시간을 증가시키기 위해서 저전력 회로에 대한 필요성이 점점 더 커지고 있다. 저전력 회로는 PDA, Hand-held PC 등과 같이 성능보다는 동작시간이 더 중요한 시스템에서 매우 필요하며 이러한 요구를 충족시

킬 수 있는 접근방법으로 단열회로에 대한 연구가 다양하게 진행되어 왔다. 먼저, 단열회로를 구현하기 위한 여러 가지 logic family에 대한 연구가 진행되었으며^[1-5], 그리고 단열회로의 동작 및 성능을 검증하기 위하여 NMOS를 사용한 인버터 체인에 대한 연구도 진행되었다^[6]. 또한 단열회로를 이용한 여러 가지 가산기의 구현에 관한 연구도 지금까지 진행되어 왔다^[7-8]. 이에 본 연구에서는 단열회로의 실제 응용을 확대하기 위하여 마이크로프로세서의 핵심 블록인 ALU를 단열회로를 이용하여 설계하였다

단열회로는 에너지를 복원하는 구조로서 AC 형태의 전원을 사용하게 된다. 에너지를 재 사용하기 위하여 전원클럭 신호선에 전하를 공급하고, 충전된 전하를 전원부로 복원시켜 에너지 소모를 줄이게 된다. 이러한 구조의 단열회로가 실용성을 가지기 위해서는 효율적인 전원클럭의 발생회로가 필요하다. 그러나 많은 연구가

* 학생회원, 숭실대학교 전자공학과
(Dept. of Electronics Engineering, Soongsil University)

** 정회원, 숭실대학교 정보통신전자공학부
(School of Electronic Engineering, Soongsil University)

※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음

접수일자 : 2002년5월27일, 수정완료일 : 2004년3월4일

전원클럭에 대한 것을 생략하고 진행되었고, 포함을 하더라도 방향 정도를 제시한 것이 일반적이고 전원클럭의 구현 및 효율 등을 포함한 것은 매우 적다. 본 연구는 전원클럭을 위한 회로와 접근방법, 효율 등에 대해서 회로로 구현하고 검증하였다.

본 논문에서는 초저전력 마이크로프로세서 구현에 필요한 ALU를 단열회로를 사용하여 설계하고 이를 위한 전원클럭 발생기도 설계하였다. 또한, 저전력 회로에 대한 실용성을 검증하기 위하여 동일한 구조의 CMOS ALU를 기존의 CMOS 게이트를 사용하여 구현하였고, 두가지 경우에 대해 에너지 소모를 비교하고 단열회로 ALU가 전원클럭 발생기를 포함한 경우에도 에너지 소모가 적음을 보였다.

II. 단열회로를 이용한 16-bit ALU의 설계

여러 종류의 단열회로 중에서 본 논문에서는 차동(differential) 구조이며 효율이 좋은 ECRL^[5] 형태를 사용하였다. 단열회로에서 전원클럭 신호선의 전하를 복원시켜서 에너지를 재사용하기 위하여 전원부에는 AC 형태의 전원클럭이 인가되어야 한다. 전원클럭을 이용하여 로직을 여러 단에 걸쳐 연결할 경우에는 90도의 위상차를 가지는 4개의 전원클럭이 필요하며 이러한 전원클럭이 단열회로의 ALU에 공급되어야 한다. 따라서 한 클럭동안에 90도의 위상 차이를 가지는 4개의 전원클럭이 공급되며 전원클럭에 연결된 로직 4단의 연산이 순차적으로 수행된다. 모든 ECRL 단열회로는 차동신호를 사용하며 인버터나 버퍼로 쓰이는 기본적인 게이트를 그림 1에서 나타내었다. 단열회로에서 사용되는 하나의 전원클럭은 그림 1에서처럼 전하를 충전하기 위한 precharge/evaluation 구간과 다음 단 입력신호의 evaluation을 위한 hold 구간과 충전된 전하를 복원하기 위한 recover 구간, 클럭의 동기를 위한 wait 구간으로 기능에 따른 4단의 위상으로 구분해 볼 수 있다. 전원클럭 발생기를 통하여 90도씩 위상차를 가지는 4개의 파형이 생성되어 ALU에 공급된다. 4개의 전원클럭들은 III장에서 설명하는 전원클럭 발생회로에 의해서 제공된다.

ALU는 논리연산부분과 산술연산부분 그리고 둘 중 하나를 출력으로 선택하기 위한 멀티플렉서로 구성된다. Bit-slice 구조의 논리연산 블록의 1-bit 부분을 그림 2에 나타내었으며 각 논리연산은 AND, OR, XOR 연산의 차동출력과 NOT 연산을 수행한다.

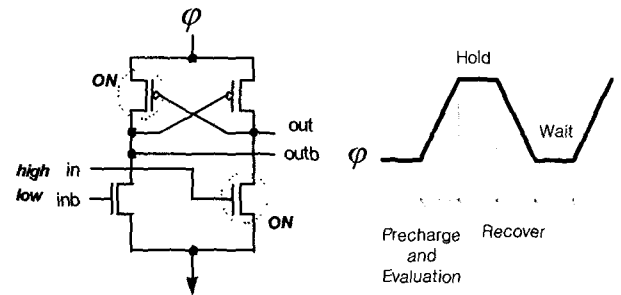


그림 1. 단열회로의 기본구조 및 전원클럭
Fig. 1. Basic structure of ECRL circuit and supply clock.

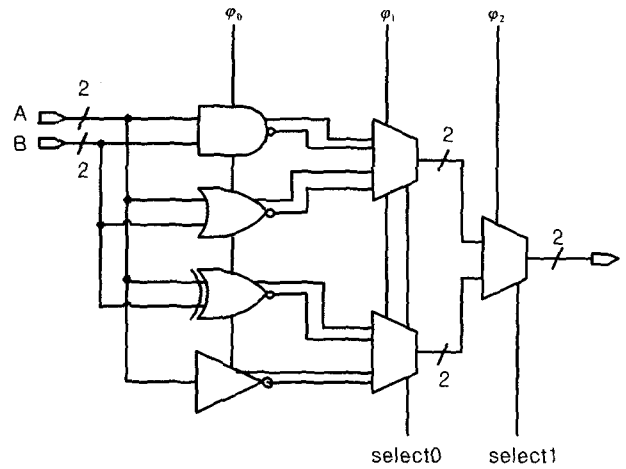


그림 2. 논리연산기의 구조
Fig. 2. The schematic of logical unit.

각 논리 연산부의 구현을 위한 게이트를 그림 3에 나타내었다. 4개의 전원클럭 중에서 논리연산에 1단을 사용하며 4가지의 연산결과 중에서 하나를 선택하기 위하여 MUX에 2단을 사용함으로써 총 논리연산을 위하여 3단의 전원클럭이 필요하다.

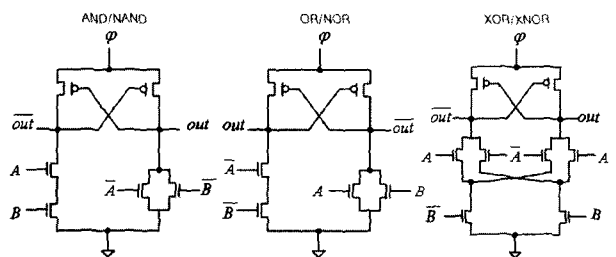


그림 3. AND 게이트, OR 게이트와 exclusive-OR 게이트
Fig. 3. ECRL AND gate, OR gate and exclusive-OR gate.

산술연산은 Brent-Kung Adder 구조^[9]를 사용하였고 입력신호로부터 P(Propagation), G(generation) 신호를 생성하여 다음 단계 전파함으로써 덧셈을 수행한다. 산술연산을 수행하기 위하여 구현된 16-bit Adder의 하위

4-bit 구조를 그림 4에 나타내었다. ALU의 뺄셈연산은 2's complement를 이용하므로 carry 입력신호가 필요하며, 산술연산으로 총 7단을 거쳐서 연산결과를 출력한다. Brent-Kung Adder의 설계에서 전력소모를 줄이기 위해 게이트 수를 줄이는 작업을 진행하여, 기존회로^[5]에 비해 10% 정도 트랜지스터 수를 감소시켰다. 기존회로는 P,G 신호 생성에서 동일한 블록을 반복하여 설계를 진행하였으나, 본 연구에서는 일부 입력 비트에서 필요 없는 신호를 제거한 P,G 생성 블록을 추가로 설계하여 트랜지스터의 수를 감소할 수 있었다.

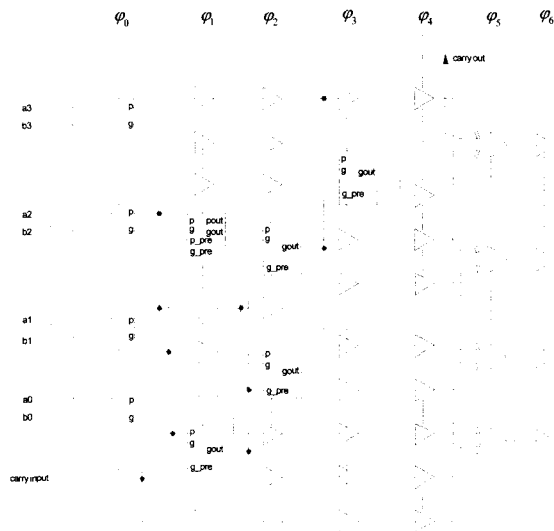


그림 4. 산술연산기의 하위 4-bit 구조
Fig. 4. The block diagram of 4-bit arithmetic unit.

논리연산은 1단이면 결과가 나오지만 산술연산과의 동기를 위하여 논리 연산된 결과는 버퍼를 통하여 전파되어진다. 논리결과의 선택을 위하여 멀티플렉서가 필요하며 2단 구조로 2개의 전원클럭을 사용한다. 이러한 구조로서 총 7단을 지나면 산술 블록, 논리 블록의 출력결과가 16-bit 2-input MUX에 인가된다. 최종단인 MUX에는 산술/논리 연산의 결과를 위한 1-bit의 선택 신호가 필요하다. 본 논문에서 설계된 ALU에서 MUX의 select 신호는 총 3-bit가 필요하다. 이러한 select 신호는 마이크로프로세서의 제어블록에서 공급됨을 전제로 하였다. 본 16-bit ALU에서 최종결과가 나오기까지 전원클럭으로 총 8단(2 clock cycle)이 필요하며, 이 후부터는 매 클럭마다 연산결과가 출력된다.

III. 전원클럭 발생기

단열회로는 에너지를 다시 전원으로 돌려주기 위해서 AC형태의 전원을 사용한다. 전원클럭 발생기는 2개의 Colpitts LC 공진 회로를 사용하여 4개의 전원클럭을 공급한다. 전원클럭 신호선의 인덕터와 연결된 스위칭용 MOS 트랜지스터를 사용하여 에너지를 공급하여 LC공진회로의 내부손실로 인한 진폭감소를 보상하여 항상 일정한 진폭을 유지하도록 동작한다. 설계된 전원클럭 발생기는 상시 에너지를 공급하는 구조로서 그림 5에 나타내었다.

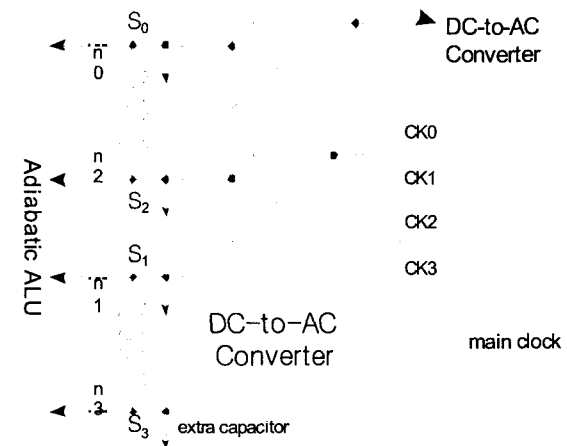


그림 5. 전원클럭 발생기
Fig. 5. Block diagram of supply clock generator.

ALU의 동작속도는 단열회로의 전원클럭 노드의 캐패시터의 값과 여기에 연결되는 인덕터 값의 곱에 의한 공진 주파수로 결정된다. 전원클럭 노드의 등가 캐패시터의 값은 전압원과 전원클럭 노드 사이에 저항을 연결한 후 전압원에 step 함수를 가하고 전원클럭 노드의 충전에 걸리는 시간을 측정하여 $T=RC_{eq}$ 식에서 구한다. 위 식에서 계산된 단열 ALU 전원클럭 노드의 등가 캐패시터의 값은 표 1과 같다.

표 1. 전원클럭 노드의 등가 캐패시터의 값
Table 1. Supply node equivalent capacitance.

node	S ₀	S ₁	S ₂	S ₃
C _{eq}	2.98pF	1.94pF	2.49pF	1.17pF

표 1에서 보여주듯이 4개 노드의 캐패시턴스가 다르므로 그림 5에서와 같이 전원클럭 노드 외부에 캐패시터를 추가하여 4개의 노드에서 캐패시턴스가 동일하도록

록 하였다. ALU의 동작속도가 결정되면 공진 주파수 조정을 위해 인덕터의 값을 동작주파수에 맞추어 변경하여 동작시켰다. 각 전원클럭 노드의 인덕터의 값은 다음 식으로 구한다.

$$f = \frac{1}{2\pi\sqrt{LC_{eq}}} \tag{1}$$

IV. 실험 결과

단열회로를 이용한 ALU는 0.35 μ m CMOS 공정을 사용하여 설계하였으며 custom layout을 진행한 후 LPE를 하였다. LPE를 한 net-list를 HSPICE를 사용하여 모의실험을 수행하였다. 에너지 비교에 사용한 CMOS ALU는 차동신호 대신에 single-ended 신호를 사용하였고, 단열회로 ALU와 동일한 공정을 사용하여 설계하였으며 동일한 구조이다. 또한, CMOS ALU의 경우는 단열회로에서 로직 연결을 위한 버퍼가 제거된 구조로 설계되었다.

동작속도가 200MHz 일 경우의 전원클럭 발생기에 의해서 발생되어 단열회로에 공급되는 4개의 전원클럭의 파형은 그림 6과 같다.

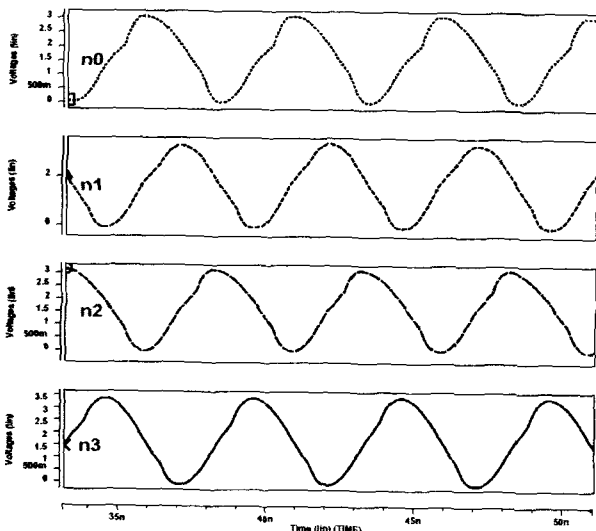


그림 6. 클럭 발생기에서 생성된 ALU에 공급되는 4개 위상의 전원클럭
Fig. 6. Generated four-phase supply clocks for 16-bit ALU.

전원클럭 발생기는 전원클럭 노드에 에너지를 공급해주는 스위칭 트랜지스터의 크기에 따라서 효율이 달라진다. 본 논문에서는 ALU의 각 동작 주파수마다 여

러 크기의 스위칭 트랜지스터에 대해서 모의실험을 하여 최대 효율이 나타나는 값을 사용하였다. 그림 7은 설계된 단열회로 ALU를 50MHz로 동작시킬 경우 스위칭 트랜지스터의 폭에 따른 효율을 나타낸 것이다. NMOS 트랜지스터의 width가 약 8.5 μ m일때 최대효율을 나타내었다. PMOS의 경우 NMOS의 폭의 2배 값을 사용하였다. 단위블록(adder, multiplier 등)만을 이용하여 실험했을 경우 효율이 40~50% 정도이나 ALU의 효율은 50MHz에서 약 64% 정도이며, 이는 시스템의 복잡도 증가로 전원클럭 발생기의 효율이 상대적으로 좋아진 것이다. 최적의 효율을 유지하려면 주파수가 높아질수록 트랜지스터의 폭이 늘어났다. 이를 통해서 회로가 고속으로 동작하기 위해서는 이에 따라서 전류 공급이 증가해야 함을 알 수 있다. 에너지 효율은 전원클럭 발생기를 제외한 단열회로 ALU로 전달된 에너지와 DC 전원에서 공급하여 소모된 전체 에너지의 비로 계산하였다.

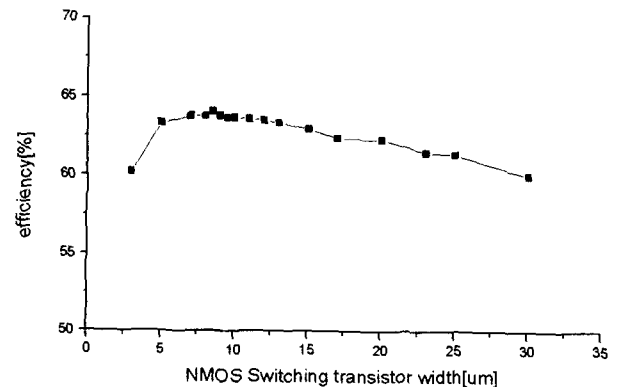


그림 7. 스위칭 트랜지스터 크기에 따른 전원클럭 발생기의 효율
Fig. 7. The efficiency of supply clock generator versus switching transistor width.

표 2. 최대효율을 가지는 트랜지스터의 폭과 인덕터의 값
Table 2. Transistor width for maximum efficiency and inductance.

동작속도 [MHz]	10	20	50	100	200
NMOS width [μ m]	3.5	6	8.5	12	30
PMOS width [μ m]	7	12	17	24	60
Inductor [μ F]	126.65	31.66	5.07	1.27	0.32

ALU의 동작속도에 따라 최대효율을 얻을 수 있는 전원클럭 발생기의 트랜지스터의 폭과 식 (1)에서 구한

인덕터의 값은 표 2와 같다. 인덕터의 값은 LC 공진회로에서의 캐패시터의 값을 4pF으로 조정하였을 경우의 값이다.

ALU의 동작을 확인하기 위한 SPICE 모의 실험결과를 그림 8에 나타내었다. 나타난 신호는 16-bit중에서 LSB의 출력 파형을 보여준다. 두 입력신호의 LSB는 각각 low와 high가 입력되고, ALU의 산술연산은 덧셈 또는 뺄셈연산을 수행하며 이때 carry-in 신호가 사용된다. ALU의 select 신호는 외부에서 입력되며 3-bit중에서 하위 2-bit는 논리연산의 결과를 선택하는 신호이며 상위 1-bit는 산술연산결과와 2-bit에 의해 선택된 논리연산결과 중에서 하나의 출력을 선택하게 된다. 따라서 AND, OR, XOR등의 논리연산결과와 산술연산결과중의 하나가 최종 출력으로 나온다. 그림8의 하단의 출력이 ALU의 출력이며 select 신호에 따라서 산술연산결과(Sum)와 논리연산결과(XOR, NOR, OR, AND)가 교대로 나타남을 확인하였다.

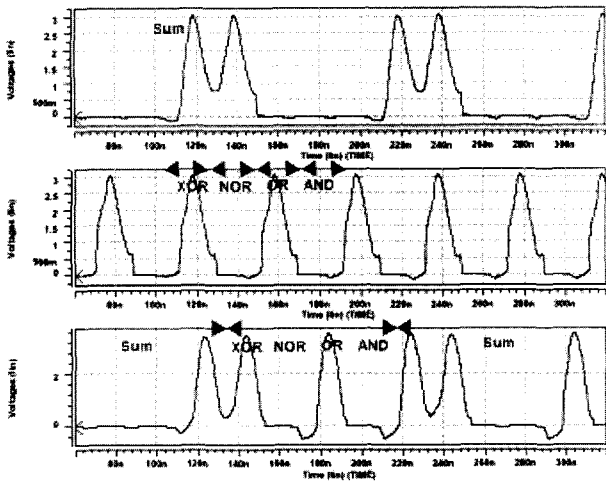


그림 8. ALU의 모의실험 결과
Fig. 8. The SPICE simulation result of adiabatic ALU.

본 논문에서 제안한 단일 ALU와 CMOS ALU의 에너지 소모를 그림 9에서 비교하였다.

ECRL이 기존의 다른 단일회로에 비해서 적은 에너지를 소모하므로 다른 단일회로와 비교는 진행하지 않았으며, 동작속도는 CMOS와 비슷한 수준까지 동작하였다.

여러 주파수에 걸쳐 CMOS의 에너지 소모는 별 차이가 없는 것을 알 수 있으며, 단일회로 ALU는 CMOS ALU 에너지의 56.6~86.5%로 동작함을 확인하였다. 전원클럭 발생기의 트랜지스터의 크기에 따라서 전력소모가 달라지므로, 앞서 설명하였듯이 본 논문에서는 클럭

구동회로의 트랜지스터의 폭을 변화시키면서 최소 에너지를 소모하는 트랜지스터의 폭을 선택하였다.

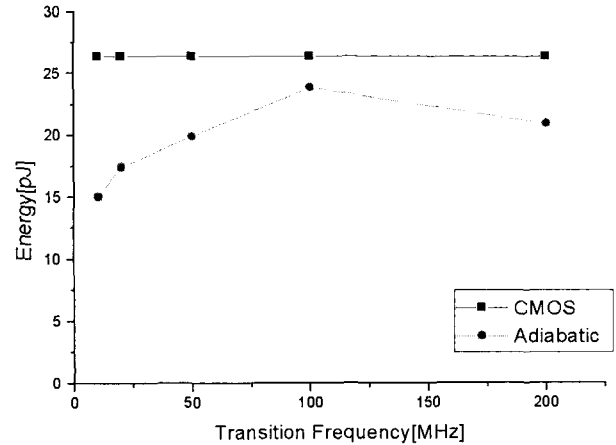


그림 9. ALU의 에너지 비교
Fig. 9. Energy versus transition frequency for ALU.

V. ALU의 구현

0.35 μ m CMOS 공정을 사용하여 상기 회로에 대한 layout을 수행하였다. 산술연산블록의 크기는 0.168 mm \times 0.372 mm 이고, 논리연산블록의 크기는 버퍼를 제외했을 경우 0.056 mm \times 0.520 mm 이나, 산술블록과 동기 및 피치를 맞추기 위하여 버퍼를 추가하였다.

그림 10은 각 연산블록의 layout을 보여준다.

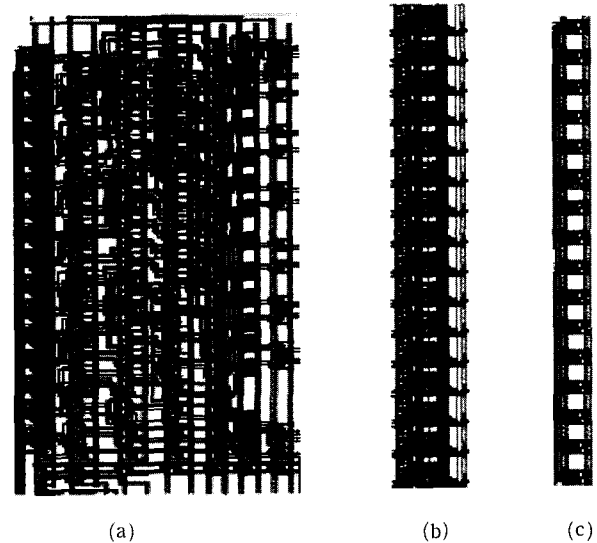


그림 10. 16-bit ALU의 구조 및 layout (a) Brent-Kung adder, (b) 논리연산블록, (c) 최종단의 멀티플렉서
Fig. 10. 16-bit ALU structure and layout (a) Brent-Kung adder, (b) logical block, (c) multiplexer for final stage.

VI. 결 론

본 논문에서는 단일회로를 사용한 ALU와 전원클럭 발생기를 0.35 μ m CMOS 공정을 사용하여 설계하고 모의실험을 진행하였다. 3.3V 전원에서 실험한 결과 CMOS 회로와 에너지 소모 비교 시 1.15~1.77배 정도의 이득이 있었다. 단일회로를 이용한 설계방법은 CMOS회로보다 에너지 소모가 적은 것을 검증함으로써 저전력회로 및 기타 디지털회로에 응용이 가능하며 실제적으로 사용 가능함을 살펴볼 수 있었다. 단일회로가 실용성을 가지기 위해서는 기존의 디지털 시스템과 인터페이스 등의 문제가 있으나 이는 Flip-flop 등을 이용하면 해결이 가능할 것으로 생각되며, 현재 모의실험에는 외부에 인덕터를 연결하는 구조이나 칩 내부에 집적하는 방법도 연구될 필요가 있다고 생각된다. 추후 마이크로프로세서를 위한 다른 building 블록을 설계하여 초저전력 프로세서를 구현 할 예정이다.

참 고 문 헌

- [1] J. S. Denker, "A review of adiabatic computing," IEEE Symp. on Low Power Electronics, pp. 94-97, 1994.
- [2] A. Kramer, J. S. Denker, S. C. Avery, A. G. Dickinson and T. R. Wik, "Adiabatic computing with the 2N-2N2D logic family," in Symp. on VLSI Circuits, Digest of Technical Papers, pp. 25-26, 1994.
- [3] R. T. Hinman and M. F. Schlecht, "Power dissipation measurements on recovered energy logic," in Symp. on VLSI Circuits, pp. 19-20, 1994.
- [4] A. G. Dickinson and J. S. Denker, "Adiabatic Dynamic Logic," IEEE J. Solid-State Circuits, vol. 30, pp. 311-315, 1995.
- [5] Y. Moon and D. K. Jeong, "An efficient charge recovery logic circuit," IEEE J. Solid-State Circuits, vol.31, No. 4, pp. 514-522, April 1996.
- [6] C. W. Kim, S. M. Yoo and M. S. Kang, "Low-power adiabatic computing with NMOS energy recovery logic," Electric Letters, vol.36, pp. 1349-1350, Aug. 2000.
- [7] H. Mahmoodi-Meinnand, A. Afzali-Kusha and M. Nourani, "Adiabatic carry look-ahead adder with efficient power clock generator," IEE Proc., vol. 148, pp. 229-234, Oct. 2001.
- [8] L. Varga, F. Kovacs and G. Hosszu, "An efficient adiabatic charge-recovery logic," IEEE proc. southeastcon, pp. 17-20, 2001.
- [9] R. Brent and H.T. Kung, "A Regular Layout for Parallel Adders," IEEE Trans. on Computers, vol. C-31, no. 3, pp. 260-264, March 1982.

저 자 소 개



이 한 승(학생회원)
 2001년 숭실대학교 정보통신전자공학부 학사.
 2003년 숭실대학교 전자공학과 석사.
 2003년~현재 삼성종합기술원 연구원.
 <주관심분야는 저전력회로설계, PLL

및 RF IC>



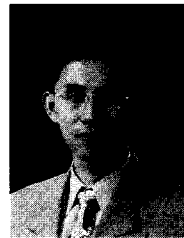
나 인 호(학생회원)
 2001년 숭실대학교 물리학과 학사 졸업.
 2003년 숭실대학교 전자공학과 석사 졸업.
 2003년~현재 BOE HYDIS 연구원
 <주관심분야: 저전력회로설계, TFT

LCD 설계>



문 용(정회원)
 1990년 서울대학교 전자공학과 학사.
 1992년 서울대학교 전자공학과 석사.
 1997년 서울대학교 전자공학과 박사.
 1997년~1999년 LG 반도체 선임연구원.
 1999년~현재 숭실대학교 정보통신전자공학부 조교수.

<주관심분야는 저전력회로설계, 음성신호 IC, RF IC 및 고속통신시스템 등임>



이 찬 호(정회원)
 1987년 서울대학교 전자공학과 학사 졸업.
 1989년 서울대학교 전자공학과 석사 졸업.
 1994년 University of California, Los

Angeles 전자공학과 박사 졸업.

1994년~1995년 삼성전자 반도체연구소 선임연구원.
 1995년~현재 숭실대학교 정보통신전자공학부 부교수
 <주관심분야: 채널 코덱 설계, SoC on-chip network, 저전력 멀티미디어 코덱 설계, 저전력 프로세서 설계 및 암호프로세서 설계>

