

논문 2005-42SD-12-10

비동기방식 UWB통신용 CMOS 아날로그 송수신단의 설계

(A Design of CMOS Transceiver for noncoherent UWB Communication system)

박 중 완*, 문 용*, 최 성 수**

(Jungwan Park, Yong Moon, and Sungsoo Choi)

요 약

이 논문에서는 비동기 OOK 방식의 UWB 시스템에서 사용할 수 있는 아날로그 송수신단을 설계하였다. 설계한 송수신단은 0.18 μ m CMOS 공정을 사용하여 구현 하였으며, SPICE 모의실험과 측정을 통하여 검증을 하였다. 제안된 송수신단은 병렬기, 아날로그-디지털 변환기, 클럭 생성기, 위상고정루프(PLL), 그리고 임펄스 생성기 등으로 이루어져 있다. 동작속도는 125MHz로 동작하는 아날로그-디지털 변환기 8개를 병렬로 연결하여 1Gbps의 속도를 얻으며, 8개의 병렬화된 출력을 얻는다. 이 출력은 D-F/F에 의해 동기화되고, 이 동기화된 출력들은 기저대역으로 전달된다. 임펄스 생성기는 CMOS 디지털 게이트로 이루어져 있으며, 약 1ns의 폭을 가지는 임펄스를 생성한다. 본 논문에서 제안된 송수신단의 모의실험 결과와 측정결과는 저전력 UWB 시스템의 구현이 가능하고, 병렬화를 택해서 높은 데이터 전송률을 얻을 수 있다는 가능성을 보여준다.

Abstract

In this paper, we propose a transceiver for noncoherent OOK(On-Off Keying) Ultra Wide Band system based on magnitude detection. The proposed transceiver are designed using 0.18 micron CMOS technology and verified by simulation using SPICE and measurement. The proposed transceiver consist of parallelizer, Analog-to-Digital converter, clock generator, PLL and impulse generator. The time resolution of 1ns is obtained with 125MHz system clocks and 8x parallelization is carried out. The synchronized eight outputs with 2-bit resolution are delivered to the baseband. Impulse generator produces 1ns width pulse using digital CMOS gates. The simulation results and measurement show the feasibility of the proposed transceiver for UWB communication system.

Keywords : Transceiver, UWB(Ultra Wide Band), OOK(On-Off Keying), A/D Converter, Parallelizer,

I. 서 론

최근 고속 데이터 통신 시스템에 대한 관심이 증가하고 있다. 그 중에서도 저전력 UWB(Ultra Wide Band) 통신 시스템에 대한 관심이 증가하고 있으며, 그 역사적 배경은 2002년 2월에 미국 연방 통신 위원회(FCC)에서 UWB 시스템을 위한 상업적 주파수 대역을 할당

한 때부터 시작된다.^[1] 그리고, IEEE 802.15 W-PAN (Wireless Personal Area Network) Task Group 3a에서 100Mbps이상으로 동작하는 고속 데이터 전송률을 가진 차세대 W-PAN으로 UWB 전송방식을 포함시켰다.^[2] UWB를 기반으로 하는 시스템을 구현하기 위해서는 근본적으로 가능한 한 적은 전력 소모가 필요한데, 이를 위해서 OOK(On-Off Keying) 변조방식과 비동기 검출방식이 최근 UWB 시스템에서 시도되고 있다.^[3] 비동기식 OOK UWB 시스템은 동기식 시스템에 비해서 BER(Bit Error Rate) 성능은 좋지 않지만, 수신단에서 정밀한 동기화가 필요하지 않고, 회로가 간단하므로 저전력 측면에서는 동기식보다 더 유리하다. 따라서 UWB 운용을 고려할 때 전력 소모가 적은 비동기 방식은 그 효율성이 크다 하겠다. UWB 시스템을 포함한

* 정회원, 숭실대학교 전자공학과
(Department of Electronic Engineering, Soongsil University)

** 정회원, KERI
(Power Telecommunication Network Group, Korea Electrotechnology Research Institute)

※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어 졌음

접수일자: 2005년7월20일, 수정완료일: 2005년11월25일

일반적인 무선통신시스템의 송수신기는 RF 블록, 송수신부, 디지털 기저대역 블록으로 구성되어 있다. 기저대역 블록은 일반적으로 하나의 IC로 구현이 되어 있지만, RF 블록과 송수신부는 대부분이 여러 가지 소자나 IC 칩셋들로 구성되어 있다. 이렇게 기존의 소자나 IC 칩셋을 사용하여 구현된 모듈들은 전력소모 관점에서 보면 외부와의 인터페이스를 위해 신호의 증폭이나 패드 구동 등으로 인해 낭비되는 전력이 많기 때문에 전력 측면에서 바람직하지 못하다. 그러므로 저전력 설계를 위해서는 RF 블록, 송수신기, 디지털 기저대역 블록 등의 모든 구성 요소들을 하나의 칩으로 만들 필요가 있다. CMOS 공정을 사용하여 단일 칩을 만드는 것은 디지털 부분을 고려한다면 적당한 설계방식이지만 RF 블록을 고려한다면 성능면에서는 고속 통신 시스템으로서는 제한을 받게 된다. 하지만 근래의 CMOS 공정의 발전으로 최대동작주파수가 GHz대역이 가능하므로 CMOS공정을 사용하여 단일 칩을 만드는 것은 성능이나 가격 등의 측면에서 가장 적절한 방법이라고 하겠다. 이에 본 연구에서는 CMOS공정을 사용하여 저전력 및 고성능을 가지는 UWB 송수신기를 설계하였다. 본 논문에서는 UWB를 위한 RF 블록과 기저대역을 연결하는 중요한 부분인 CMOS 아날로그 송수신기를 제안한다. 그리고 제안된 CMOS 송수신기의 동작을 모의실험을 통해서 확인하였으며 이를 칩으로 제작하여 그 동작을 검증하였다. 본 논문에서는 먼저 비동기 방식 UWB 시스템의 구조와 송수신기 블록에 대한 설명을 하고, 제안된 회로에 대한 모의실험 결과를 설명한다. 그리고, 레이아웃 및 제작된 칩의 측정결과에 대하여 설명을 하고, 결론 부분에서 내용을 정리 하였다.

II. 아날로그 송수신기 설계

1. 비동기 OOK 방식 UWB 시스템

제안된 UWB 송수신기의 신호 복조방식은 수신 받은 펄스의 전력이 기준전력보다 큰 경우에만 신호를 탐지하는 구조이다. 따라서 상관기(correlator) 및 기준 펄스 생성기(reference pulse generator)를 필요로 하는 동기방식을 사용하는 통신 시스템에서 비해 매우 간단한 구조로 되어 있다.^{[4][5]} 제안하는 송수신기를 사용하는 비동기 OOK 방식 UWB 시스템은 크게 안테나와 RF단, 송수신부, 기저대역 블록으로 이루어져 있으며 송수신부는 병렬기, 아날로그-디지털 변환기, 동기화 블록, 위상동기루프에 의해 제어되는 클럭 생성기 그리고 임펄스 생성기로 구성되어 있다. 그림1에서 시스템의 전체

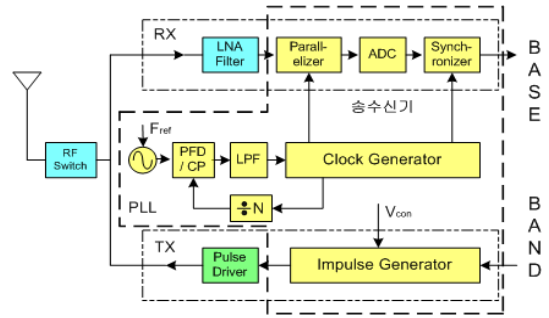


그림 1. 비동기 방식 UWB 시스템의 블록도
Fig. 1. The block diagram of noncoherent UWB system.

블록도를 나타내었다.

2. 병렬기(Parallelizer)

UWB 시스템의 동작속도는 1Gbps 이상으로 매우 빠르기 때문에 기저대역으로 연결될 신호에 병렬화 기법을 사용하였다. 병렬화 기법을 사용할 경우 동작속도를 낮출 수 있으므로 기저대역 블록의 동작속도에 대한 부담을 줄일 수 있으며, 전체 시스템 동작속도도 낮출 수 있으므로 디지털 기저대역과 단일한 구현이 가능하다. 병렬기는 8개의 S/H (Sample-and-Hold)로 NMOSFET과 캐패시터를 사용하여 구현되는데, 캐패시터의 경우 작은 크기의 캐패시터만 있으면 되므로 외부에 캐패시터를 연결하는 것이 아니라, MOSFET의 내부에 존재하는 기생 캐패시터 성분들을 사용하면 된다. 이 병렬기에 의해 8-bit의 병렬화된 신호가 출력되게 되며 그 구조를 그림 2에 나타내었다. RF 입력은 "IN" 포트를 통하여 들어오게 되고 PLL에 의해서 제어되는 클럭 생성기에 의해 1ns마다 표본화(sampling)된다. 클럭 생성기는 링 구조를 사용한 오실레이터로 차동구조를 사용하였으며, 총 8개의 클럭을 출력한다. 병렬화가 동작속도에 대한 부담을 줄이는 것은 사실이지만 병렬화 비트수가 늘어나게 되면 부하가 커지기 때문에 계속 늘려 줄 수는 없다. 그러므로 비트수에 대한 적절한 선택이

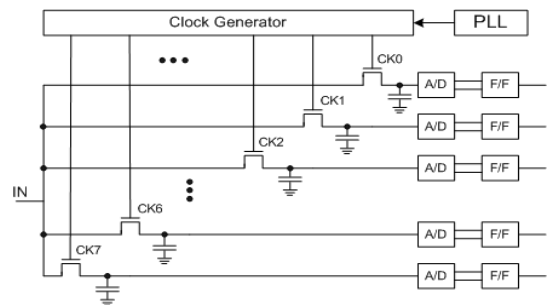


그림 2. 고속 RF 신호의 병렬화 구조 블록도
Fig. 2. Parallelization of high-speed RF-signal.

필요한데 제안된 송수신기는 8비트를 사용하였다. 그 이유는 기존의 기저대역에서 사용되는 회로가 8비트의 정수배를 사용한 경우가 많으므로 호환성에서도 유리하기 때문이다.

3. 클럭 생성기 및 위상동기루프 블록
(Clock Generator and PLL block)

클럭 생성기는 차동신호를 사용하는 링 구조의 발진기로 구성되어 있으며, PLL의 출력 전압에 의해서 주파수 조절이 가능하다. 클럭 생성기의 출력은 일정한 간격을 가지는 8개의 클럭이 되며, 이 각각의 출력들은 S/H 회로를 순차적으로 동작시킨다. 링 발진기는 스타베이션 인버터(starvation inverter)를 사용한 구조가 널리 사용되므로^{[7][8]} 본 논문에서는 8개의 클럭을 얻기 위해 이를 변형한 구조를 사용하였다. 오실레이터의 구조는 8개의 delay cell들이 순차적으로 연결되어 있는 형태가 되며 그 구조는 그림 3과 같다.

PLL은 발진기로부터 125MHz의 출력을 분주기를 통해서 25분주 하여 위상 주파수 비교기(Phase Frequency Detector)의 입력인 5MHz인 기준 주파수와 서로 비교하며 그 비교된 값에 의해 전하펌프(Charge Pump)를 통하여 전류를 증가 또는 감소하여 일정한 주파수를 유지하도록 하게 한다. 이 전하펌프의 출력은 저 대역 필터를 통과한 후 시간지연 셀의 제어 전압으로 들어가게 된다. 이러한 동작을 통하여 클럭 생성기가 항상 125MHz로 동작하게 한다. PLL의 블록도를 그림 4에 나타내었다.

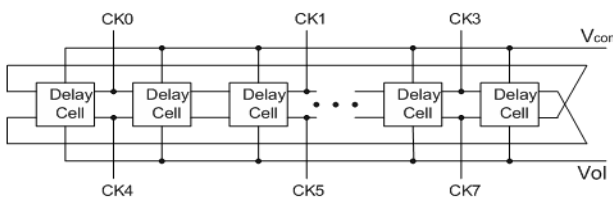


그림 3. 클럭 생성기의 블록도
Fig. 3. The block diagram of Clock Generator.

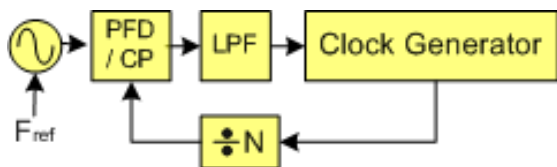


그림 4. 위상동기루프(PLL)의 블록도
Fig. 4. The block diagram of PLL.

4. 아날로그-디지털 변환기(A/D Converter)

RF단은 고속의 아날로그 신호들을 받게 되는데, 기저대역에서는 대부분이 디지털로 처리해야 하므로 현대

의 통신 시스템들은 아날로그-디지털 변환기를 필요로 한다. UWB 송수신기의 경우 매우 작은 펄스를 검출해야 하므로 전력소모를 고려한 복잡한 S/H회로를 필요로 하게 된다. 하지만 본 논문에서 제안한 회로는 매우 작은 펄스를 처리하기 적합한 구조이면서도 간단한 회로로 구성되어 있다. 그 구조는 그림 5과 같으며, 플래시 ADC형태이나 높은 해상도를 필요로 하지 않으므로 하드웨어에 대한 부담은 적다. 설계한 아날로그 디지털 변환기의 해상도는 2비트 이다.

"COMP+Latch"는 클럭에 의해서 동작하며, 회로 내부는 비교기와 래치로 이루어져 있다.^[9] 이 회로에 의해서 별도의 S/H회로 없이 A/D변환이 쉽게 가능하게 된다. 비교기의 기준 전압은 0.45V, 0.9V, 1.35V를 사용한다. 클럭이 high가 되었을 때, 기준 전압과 입력전압을 비교하여 기준 전압보다 입력전압이 클 경우 입력신호를 검출하여 래치에 저장하고 디코더를 통하여 출력값을 OUT_HIGH와 OUT_LOW로 출력한다. "COMP+Latch"는 클럭에 의해 동작하므로 그 출력값은 클럭의 주기만큼의 폭을 갖는 펄스로 나타나게 된다.

그런데 0.45V를 기준 전압으로 사용하는 "COMP+Latch" 회로의 경우 worst case SPICE 파라미터에서 트랜지스터의 문턱전압이 0.45V정도 이므로 회로가 정상적으로 동작하지 않을 수 있다. 그러므로 이 문제를 해결하기 위해서 레벨 쉬프터를 사용하였으며 그 구조는 그림 6과 같다.

레벨 쉬프터는 낮은 전압에서 동작할 수 있도록 PMOS에 입력전압과 기준전압이 들어가며 입력된 신호를 비교하여 out신호와 outb신호를 출력으로 내보내게

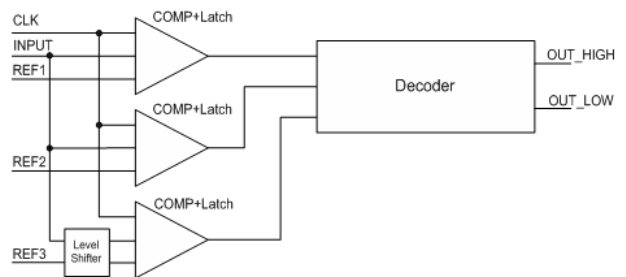


그림 5. 2-bit 플래시 구조 아날로그-디지털 변환기
Fig. 5. 2-bit flash-type A/D converter.

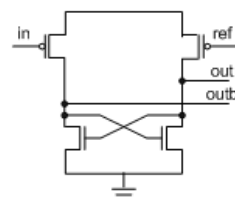


그림 6. 레벨 쉬프터
Fig. 6. Level Shifter.

된다. NMOS의 경우 문턱전압이 공정변화를 고려할 경우 0.45V와 비슷한 레벨이어서 검출하는데 문제가 되지만, PMOS의 경우에 0.45V는 PMOS를 구동하기 충분한 전압이므로 기준 전압과 입력 전압을 비교할 수 있다.

5. 동기화 블록(Synchronizer)

병렬화된 신호를 동기화하기 위해 에지 트리거형 D 플립-플롭이 사용되었다.^[10] 아날로그-디지털 변환기의 S/H 회로는 병렬화 하기 위해 시간지연 된 서로 다른 8 개의 클럭을 사용하므로 출력들은 서로 동기가 맞지 않는데, 이 출력들은 기저대역에서 바로 사용할 수 없다. 그러므로 기저대역의 클럭을 이용하는 D 플립-플롭을 사용하여 동기를 맞춰준다.

6. 임펄스 생성기(Impulse Generator)

UWB 통신 시스템은 일반적으로 nanosecond 이하의 매우 작은 폭의 신호를 사용하는 임펄스 무선통신 구조를 기반으로 한다.^[4] 그러므로 간단하고 저전력 동작이 가능한 임펄스 생성기를 CMOS 게이트를 사용하여 구현하였다. CMOS 게이트를 사용하므로 전력 소모를 줄일 수 있으며 그 구조가 간단하면서도 높은 성능을 얻을 수 있다. 그림 7에 임펄스 생성기 구조를 나타내었다. 임펄스 생성기는 입력된 신호의 반전된 신호와 딜레이블록에 의해서 시간지연된 신호가 NOR동작에 의해서 그 값이 0인 구간에서 임펄스가 생성된다. 딜레이블록은 차동구조의 딜레이 셀을 사용하였으며, ctrl전압을 조절하면 시간지연이 달라지므로 펄스의 폭을 조절할 수 있다. 펄스의 폭은 최소 0.5ns에서 최대 1.7ns까지 조절이 가능하다.

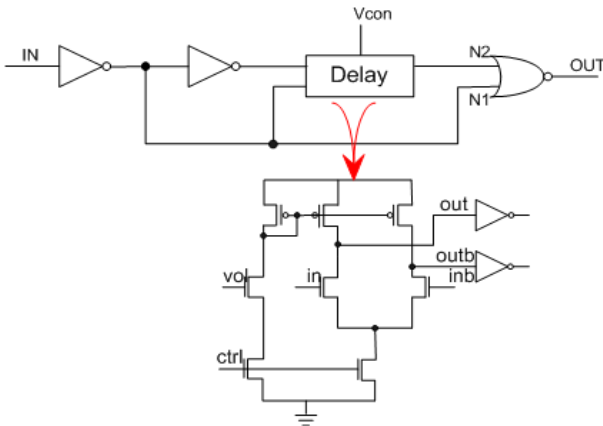


그림 7. 임펄스 생성기 회로도
Fig. 7. The schematic of Impulse Generator.

III. 모의실험 결과

제안된 송수신기 회로는 0.18 μ m CMOS 공정을 사용하여 설계하고 검증하였다. HSPICE를 이용하여 모의실험을 수행하였고 전원전압은 1.8V를 사용하였다. 아래에서 설계한 송수신기 각 블록의 모의실험 결과를 설명한다.

1. 모의실험

가. 임펄스 생성기 모의실험

임펄스 생성기의 실험 결과는 그림 8에 나타내었다.

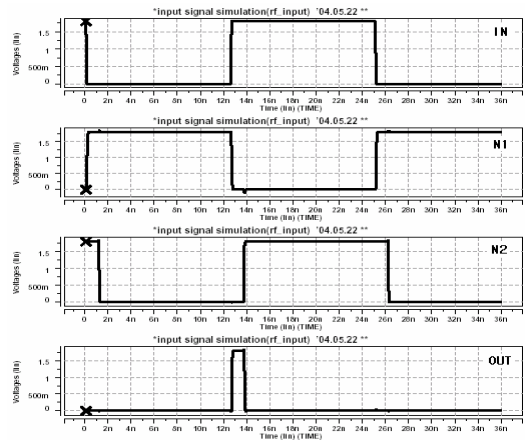


그림 8. 임펄스 생성기의 모의실험 결과
Fig. 8. Impulse Generator Simulation.

입력신호가 반전된 신호와 입력신호가 시간지연된 신호의 NOR게이트 동작에 의해 약1ns의 폭을 가지는 펄스 형태의 출력을 얻을 수 있다. 이 출력 신호는 제안된 송수신기를 검증하는 입력신호로 사용된다.

나. 클럭 생성기 및 PLL 모의실험

클럭 생성기의 모의실험 결과는 그림 9과 같다. 그림에 표시된 파형은 첫 번째부터 네 번째 클럭이며 각각의 파형들은 1ns의 딜레이를 가지게 된다. 8개의 클럭이 생성되며 이 클럭들은 병렬기의 샘플링 클럭으로 사용된다. 클럭 생성기는 PLL 동작에 의해서 생성된 전압에 의해서 제어된다. 시간지연 셀의 출력신호들은 S/H 회로를 구동할 만큼 충분한 전류를 구동할 수 없으며, inverter 형태의 버퍼를 사용하여 구동할 수 있도록 하였다. 그림 9의 출력 파형은 버퍼를 통과한 다음의 신호들이다.

그림 10은 PLL의 Locking 시간과 Locking된 상태의 클럭의 주기를 모의실험 한 결과이다.

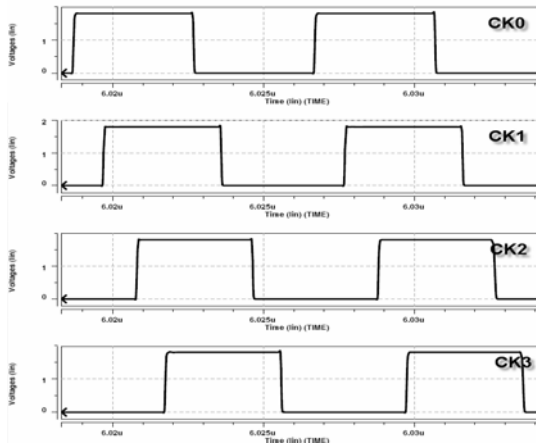


그림 9. 클럭 생성기로부터 생성된 제어 클럭
Fig. 9. Control clocks generated from clock generator.

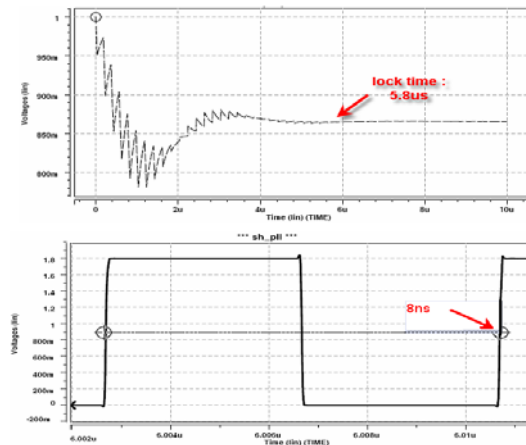


그림 10. PLL의 Locking 시간 및 클럭의 주기모의 실험
Fig. 10. Locking time and period of PLL.

다. 아날로그-디지털 변환기 및 병렬기 모의실험

그림 11은 2-bit 아날로그-디지털 변환기와 병렬기를 통과한 결과파형을 보여준다. 수신 받은 펄스를 기준 전압과 비교하여 2진값으로 변환한다.

결과 파형은 5개의 입력 펄스를 받아서 이 신호들이 8개의 클럭 신호 중 하나에 의해서 검출되어 5개의 파형이 나타나게 됨을 보여준다. 각 출력값들은 2-bit의 출력을 보여주지만 같은 값이 나오게 되므로 MSB 신호만 그림 11에 도시하였다. 입력 신호들은 매우 짧은 신호들이지만 클럭에 의해 동작하는 비교기와 래치에 의해 검출된 신호를 비교기 클럭의 주기만큼 유지하게 되므로 기저대역에서도 어려움 없이 임펄스 정보를 다룰 수 있게 된다. 비동기식 UWB 시스템에서는 데이터 처리속도와 위치의 정확성이 송수신기의 시간 해상도에 의존하므로 송수신기의 시간 해상도는 매우 중요하다. 시간 해상도는 병렬기와 샘플링 속도에 의해 결정되는데 하드웨어 오버헤드

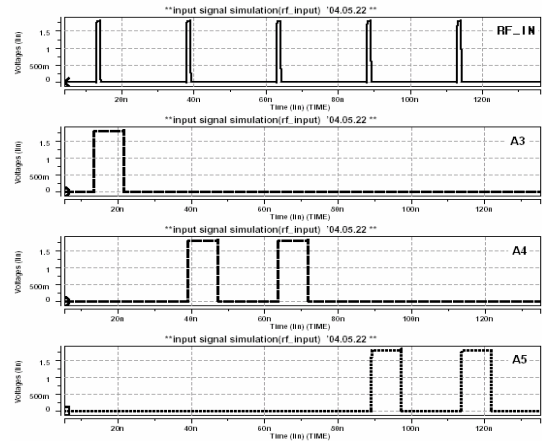


그림 11. 병렬기의 모의실험 결과
Fig. 11. Simulation result of parallelizer.

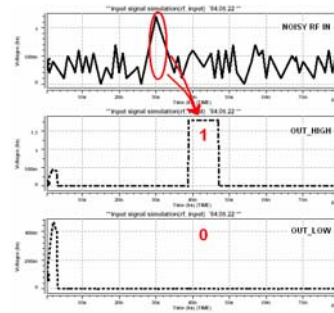


그림 12. 아날로그-디지털 변환기 모의실험 결과
Fig. 12. Simulation result of A/D converter.

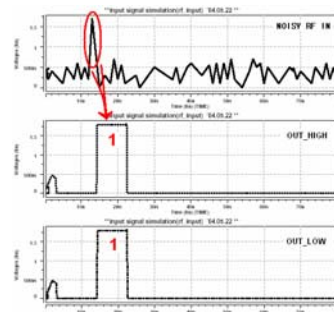


그림 13. 아날로그-디지털 변환기 모의실험 결과
Fig. 13. Simulation result of A/D converter.

와 clock slew를 고려하여 결정하여야 할 것이다. 위에 보인 모의실험 결과는 잡음이 없는 상태에서의 결과이다. 그러므로 아날로그-디지털 변환기의 출력은 무조건 “00”과 “11”만이 존재할 수 있다. 그러나 실제 통신환경에서는^[11] 수많은 잡음이 존재하므로 문턱전압 조절을 필요로 한다. 2-bit 아날로그-디지털 변환기를 가지고 있는 제안된 송수신기는 잡음 등의 주변 환경에 따라서 기준 전압 제어가 가능하다. 그림 12~ 그림 13은 잡음 환경 상에서 아날로그-디지털 변환기의 출력을 보여주며, 신호의 전력에 따라 서로 다른 값을 출력함을 그림에서 알 수 있다.

라. 동기화 블록을 포함한 송수신부 모의실험

그림 14는 동기화 블록을 포함한 송수신부 모의실험 결과이다.

아날로그-디지털 변환기의 병렬화된 출력은 제어 클럭 간의 1ns의 딜레이 때문에 동기화가 필요하다. 그래서 에지 트리거형 D 플립-플롭을 사용하여 동기화하였다. 위 그림 14의 출력들은 동기화 되어 그림 11과 비교하여 보면 약간 오른쪽으로 이동되어 있음을 알 수 있다. 그림 15는 잡음환경 하에서 송수신기 동작 결과를 보여주는 그림이다. 그림에서 각각의 신호 레벨에 따라 2-비트의 해상도를 가지는 출력 값으로 나옴을 알 수 있다.

그림 15의 모의실험 결과도 동기화된 것이며, 이결과 는 기저대역의 처리에 많은 도움을 준다.

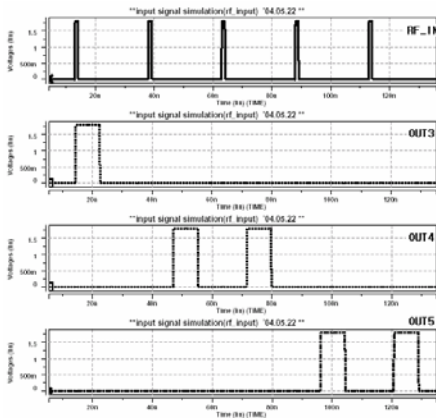


그림 14. 플립-플롭을 이용하여 동기화된 출력들
Fig. 14. The synchronized outputs using flip-flop.

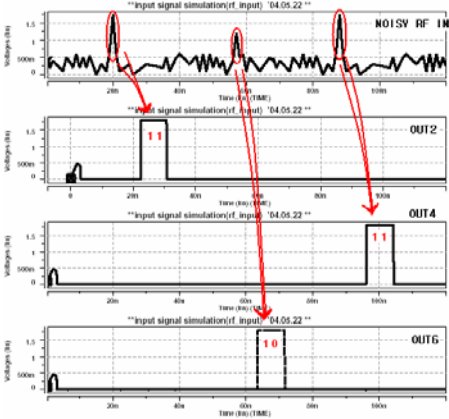


그림 15. 잡음이 있는 상태의 입력신호 모의실험 결과
Fig. 15. Simulation under noisy RF input condition.

IV. 레이아웃 및 칩 측정결과

1. 레이아웃

설계한 송수신부를 검증하기 위해 0.18 μ m CMOS공정 을 사용하여 칩을 제작하였다. 칩제작은 MPW를 이용

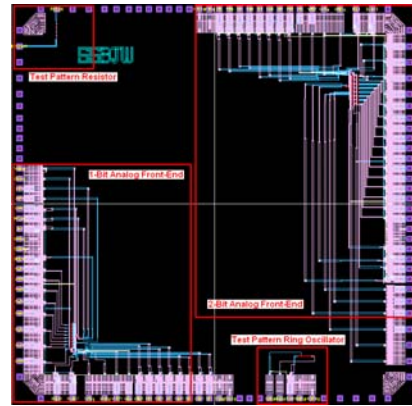


그림 16. CMOS 송수신기의 레이아웃
Fig. 16. Layout of CMOS Transceiver.

하였으며 IDEC의 지원을 받았다. 그림 16은 제안한 아날로그 프론트-엔드의 회로의 레이아웃이다.

칩 사진도 촬영을 하였으나 더미패턴에 때문에 코어 부분의 패턴이 보이지 않아 첨부하지 않았다. 칩은 테스트패턴과 아날로그 송수신기로 이루어져 있으며, 아날로그 송수신기의 경우 좌측으로 링 발진기와 임펄스 생성기가 있고 우측으로 2-bit 해상도를 가지는 아날로그-디지털 변환기가 병렬로 연결되어 있으며, 동기화 블록이 있다.

2. 칩 측정결과

칩 테스트를 위한 측정 장비로는 2-채널 전원 공급기와 함수 발생기, 2-채널 오실로스코프가 사용되었다. 다음 그림 17은 테스트 셋업을 보여준다.

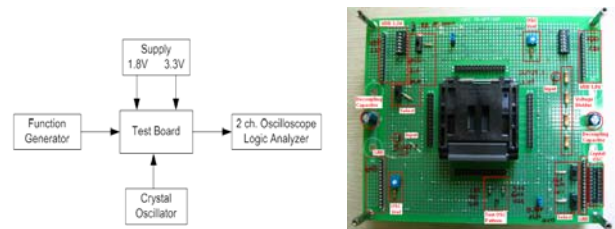


그림 17. 테스트 셋업
Fig. 17. Test Setup.

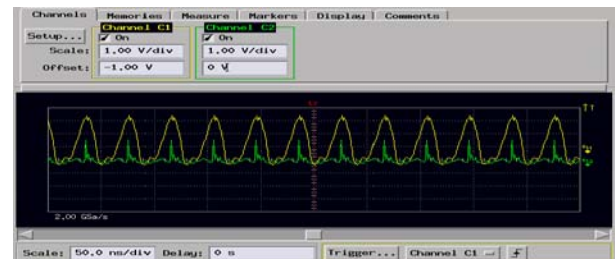


그림 18. 임펄스 생성기 측정결과
Fig. 18. Impulse Generator Measurement.

가. 임펄스 생성기 측정결과

그림 18은 임펄스 생성기의 측정결과이며, 함수발생기로부터 25MHz 구형파를 입력으로 주었다. 각 한주기의 파형마다 1개의 임펄스 신호가 출력됨을 볼 수 있다.

위의 그림에서 X축은 50nsec/div이며, Y축은 1V/div이다.

나. 클럭 생성기 측정결과

그림 19~그림 20은 클럭 생성기 측정 결과이다. 클럭 생성기의 8개의 출력은 서로 1ns의 시간 지연을 가지고 출력된다. 그림 19의 (a),(b)그림은 O0~O2, O0~O4의 측정 결과이며, (a)에 비해서 (b)가 약 2배의 시간지연을 가짐을 알 수 있다.

그림 20은 O0~O0B를 측정한 그림으로 두 클럭은 첫 번째와 다섯 번째 클럭이므로 서로 180°의 위상차를 보여야 한다. 측정그림에서 두 클럭사이에 180°의



(a)



(b)

그림 19. 클럭 생성기 측정결과 1 (a) 클럭 O0-to-O2 측정결과 (b) 클럭 O0-to-O4 측정결과

Fig. 19. Clock Generator Measurement 1 (a) Clock O0-to-O2 Measurement (b) Clock O0-to-O4 Measurement.



그림 20. 클럭 생성기 측정결과 2

Fig. 20. Impulse Generator Measurement 2.

위상차를 가짐을 알 수 있다.

다. 송수신기 측정결과

그림 21은 송수신기의 측정 결과이며, 임펄스 생성기의 출력이 아날로그-디지털 변환기와 동기화 블록을 통해서 검출 되는지를 측정한 것이다. 측정결과에서 위의 파형은 임펄스 생성기의 출력과 송수신기의 첫 번째 출력은 측정한 그림이며, 아래의 파형은 첫 번째 출력과 두 번째 출력을 측정한 그림이다. 임펄스 생성기의 출력은 송수신기의 8개의 병렬화된 출력중 하나 또는 두 개에 의해 각각 검출됨을 측정결과를 통해서 알 수 있다. 측정화면에서 X축은 50nsec/div 이고, Y축은 1V/div 이다.



(a)



(b)

그림 21 송수신기 측정결과 (a) 임펄스 생성기 출력 및 송수신기 첫 번째 출력 (b) 송수신기 두 번째, 세 번째 출력

Fig. 21. Transceiver Measurement (a) Impulse Generator output, transceiver 1st Output (b) Transceiver 2nd, 3rd Output.

V. 결 론

이 논문에서는 에너지 검출을 기반으로 하는 비동기식 UWB 시스템을 위한 송수신기를 제안하고 모의실험을 통하여 송수신기의 동작을 검증하고, 이를 0.18μm CMOS공정을 사용하여 칩으로 제작하여 동작을 확인하였다. 제안된 UWB 송수신기는 약 1ns 폭을 가지는 임펄스 신호를 만들고, 이를 RF 신호입력으로 하여 제안된 송수신기를 통하여 수신할 수 있음을 확인하였다. 또한 병렬화 기법을 사용하여 제안된 송수신기로

1Gbps이상의 데이터 전송률이 가능함을 확인하였다. 출력은 1ns의 딜레이를 가지는 8개의 클럭에 의해서 병렬화 되므로 1Gbps의 데이터들은 기저대역에서는 125MHz의 시스템 클럭으로 처리될 수 있다. 그리고 RF 신호는 아날로그-디지털 변환기와 래치에 의해서 2-비트의 디지털 값으로 바뀔을 확인하였다. 제안한 회로의 전력소모는 아날로그-디지털 변환기와 임펄스 발생기, 클럭 발생기, 동기화 블록 모두를 포함하였을 때 약 13mW 정도가 되며, 전력소모는 아날로그-디지털 변환기의 동작 횟수에 영향을 받는다. 실험 결과들은 제안된 송수신기가 전력소모가 적으며 효과적으로 비동기식 UWB 시스템으로 사용가능함을 보여주었고, 잡음 환경과 비잡음환경 하에서 올바르게 동작함을 확인하였다. 또한 제안한 회로를 칩으로 구현하였고, 그 구현된 칩을 측정하여 모의실험과 유사한 결과를 얻음으로써 제안한 회로가 실제로 구현이 가능함을 검증하였다. 이 결과들을 바탕으로 제안한 송수신기는 저전력 비동기방식의 UWB 시스템의 구현에 중요한 역할을 할 것으로 기대된다.

참 고 문 헌

[1] Federal Communications Commission, Revision of Part 15 of the Commission's Rules Regarding Ultra-Wideband Transmission, ET Docket 98-153, April 2002.

[2] <http://www.ieee802.org/15/pub/TG3a.html>

[3] I. Immoreev and A. Sudakov, "Ultra-wideband interference resistant system for secure radio communication with high data rate," *Proc. IEEE Int'l Conf. Circuits & Syst. for Commun. (ICCSC 2002)*, pp. 230-233, St. Petersburg, Russia, June 2002.

[4] M. Z. Win and R. A. Scholtz, "Impulse radio: How it works," *IEEE Communication Letter*, vol. 2, no. 2, pp. 36-38, February 1999.

[5] S. Y. Lee, "Design and Analysis of Ultra-Wide Bandwidth Impulse Radio Receiver," Ph. D Dissertation, University of Southern California, August 2002.

[6] I. D. O'Donnell, M. S. W. Chen, S. B. T. Wang, and R. W. Brodersen, "An integrated, low power, ultra-wide band transceiver architecture for low-rate, indoor wireless systems," *Proc. IEEE Workshop Wireless Communication & Networking*, Pasadena, USA, September 2002.

[7] Behzad Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits - Theory and*

Design, IEEE Press, 1996.

[8] M. Horowitz, A. Chan, J. Cobrunson, J. Gasbarro, T. Lee, W. Leung, W. Richardson, T. Thrush, Y. Fujii, "PLL design for a 500 MB/s interface," *Digest of Technical Papers. 40th ISSCC*, pp.160 -161, 1993.

[9] R. Jacob Baker, E. Boyce David, *CMOS: Circuit Design, Layout, and Simulation*, Williy-IEEE, August 1997.

[10] Sung-Mo Kang, Yusuf Leblebici, *CMOS Digital Integrated Circuits*, McGRAW-HILL, Third Edition, 2003.

[11] I. J. Immoreev and A. A. Sudakov, "Ultra-Wideband Communication System with High Data Rate," *Ultrawideband and Ultrashort Impulse Signals (UWBUSIS'02)*, Oct. 2002.

— 저 자 소 개 —



박 중 완(정회원)
 2004년 2월 숭실대학교 정보통신 전자공학부 학사 졸업.
 2005년 현재 숭실대학교 전자공학과 석사 재학중.
 <주관심분야 : 혼성신호 IC, UWB 통신 시스템>



최 성 수(정회원)
 1996년 2월 경원대학교 전자공학과 학사 졸업
 1998년 2월 광주과학기술원 정보통신공학과 석사졸업
 2003년 2월 광주과학기술원 정보통신공학과 박사졸업
 2003년~현재 한국전기연구원 융합기술연구단 선임연구원
 2004년~현재 한국과학기술연합대학원대학교 전력정보통신공학과 조교수
 <주관심분야 : 통신 VLSI신호처리, UWB, PLC>



문 용(정회원)
 1990년 서울대학교 전자공학과 학사 졸업.
 1992년 서울대학교 전자공학과 석사 졸업.
 1997년 서울대학교 전자공학과 박사 졸업.
 1997년~1999년 LG반도체 선임연구원.
 1999년~현재 숭실대학교 정보통신전자공학부 조교수
 <주관심분야 : 혼성신호IC, 저전력회로, CMOS RF회로, UWB 등>