

논문 2008-451E-4-1

UWB 응용을 위한 저전력 고속 스위칭 주파수 합성기의 설계

(A Low Power Fast-Hopping Frequency Synthesizer Design for UWB Applications)

안 태 원*, 문 제 철**, 김 용 우***, 문 용***

(Tae-Won Ahn, Jecheol Moon, Yongwoo Kim, and Yong Moon)

요 약

본 논문에서는 MB-OFDM UWB 응용을 위하여 복잡도를 낮추고 전력소모를 줄인 고속 스위칭 주파수 합성기를 다룬다. 제안된 구조는 밴드 그룹 1 주파수를 생성하기 위하여 3960 MHz LC VCO, 528 MHz 링 오실레이터, 수동 믹서 및 LC-조정 Q-향상 BPF를 사용한다. 인접 채널 제거비는 3432 MHz 신호에서 -40 dBc 이하, 그리고 4488 MHz 신호에서 -44 dBc 이하의 특성을 확인하였다. 요구되는 출력 신호를 얻기 위하여 SCL 구조의 고속 스위칭 MUX를 사용하여 2.2 ns 이하의 밴드 스위칭 시간을 얻었다. 전체 전력 소모는 1.8 V 전원을 사용하여 47.9 mW이다.

Abstract

A fast-hopping frequency synthesizer that reduces complexity and power consumption is presented for MB-OFDM UWB applications. The proposed architecture uses 3960 MHz LC VCO, 528 MHz ring oscillator, passive mixer and LC-tuned Q-enhancement BPF to generate Band Group 1 frequencies. The adjacent channel rejection ratio is less than -40 dBc for 3432 MHz and -44 dBc for 4488 MHz. A fast switching SCL-type MUX is used to produce the required channel output signal and it takes less than 2.2 ns for band switching. The total power consumption is 47.9 mW from a 1.8 V supply.

Keywords : UWB, PLL, frequency synthesizer, fast-hopping, passive mixer

I. 서 론

최근 높은 데이터 전송 속도를 갖는 실내 무선 네트워크의 구현에 있어서 UWB (Ultra Wide Band) 기술이 많은 관심이 기울여지고 있다. UWB 기술은 기존의 무선랜 신호에 영향을 주지 않는 극저출력으로 광범위한 대역폭을 사용할 수 있으며, 출력이 낮아 전송거리가 짧지만 무선으로 수백 Mbps 이상의 속도가 가능하

여 많은 가능성을 지니고 있다.

특히, 다양한 UWB 기술 옵션 가운데 MB-OFDM (Multi-band Orthogonal Frequency Division Multiplexing) 방식에 대한 많은 연구가 진행되어 왔으며, 이 방식은 3.1~10.6 GHz에 이르는 전체 주파수 대역을 각각 528 MHz의 14 개 서브-밴드로 나누고 4 개의 주파수 밴드 그룹으로 지정하고 있다. 그 중 가장 낮은 주파수 스펙트럼 (3168~4752 MHz)은 밴드 그룹 1로 지칭하며 의무로 간주하고 더 높은 주파수 대역 그룹은 선택 사항이다^[1]. 따라서 밴드 그룹 1을 지원하는 주파수 합성기의 설계가 필수적이며, 3432 MHz와 3960 MHz, 그리고 4488 MHz의 중심 캐리어 주파수를 생성하는 주파수 합성기의 최적 설계가 중요한 문제로 대두된다.

일본과 유럽에서 고려되는 스펙트럼 마스크의 요구

* 정희원, 동양공업전문대학 전기전자통신공학부 (Dongyang Technical College)

** 정희원, (주)에프씨아이

(Future Communications IC Inc.)

*** 정희원, 송실대학교 정보통신전자공학부 (Soongsil University)

※ 본 연구는 송실대학교 교내 연구비 지원으로 이루어졌습니다.

접수일자: 2008년8월1일, 수정완료일: 2008년12월1일

사항에 따르면, 감지-및-회피 (detect-and-avoid, DAA)라고 불리는 간섭 이동 기술을 사용하지 않는 전력 방출은 3432 MHz 및 3960 MHz 대역에서 -70 dBm/MHz 로 제한되며, 이것은 4488 MHz 대역보다 30 dB 낮은 수준이다. 따라서 4488 MHz 중심 캐리어 주파수에 해당하는 신호는 -30 dBc 이하의 수준을 필요로 하며, 10 dB 정도의 여유를 갖도록 하면 4488 MHz 캐리어 신호에 대한 인접 채널 제거비는 -40 dBc 이하가 되어야 한다^[2].

또한, MB-OFDM 규격은 서로 다른 대역의 주파수 밴드 사이에서 9.47 ns 이하의 고속 스위칭 시간을 요구하기 때문에 전통적인 구조를 갖는 일반적인 주파수 합성기로는 구현할 수 없다^[3]. 따라서 여러 개의 PLL 및 SSB 믹서를 사용하여 주파수 합성기를 구현하기 위한 여러 가지 연구가 진행되어 왔지만 여전히 복잡도의 증가 및 전력 소모의 증가가 문제가 되고 있다^[4].

본 논문에서는 이러한 관점에서 수동 믹서 및 LC-조정 Q-향상 BPF를 사용하여 기존 구현 방식의 복잡도를 개선하고 전력 소비를 감소시키는 주파수 합성기의 구조에 대하여 제안한다. 제안되는 주파수 합성기는 저전력 MB-OFDM UWB 시스템에 적용하기 위함이다.

II. 제안하는 구조

그림 1은 본 논문에서 제안하는 주파수 합성기의 블록 다이어그램을 나타낸다. 이 구조는 33 MHz의 동일한 기준 클럭에 의해 각각 528 MHz 및 3960 MHz 발진 주파수 신호를 생성하는 두 개의 정수형 PLL로 구성된다. 3960 MHz 발진 주파수는 LC VCO로 구현하였으며, 서브-캐리어 주파수 간격이 충분히 넓기 때문에 528 MHz 발진 신호를 위해서는 링 오실레이터를 사용하였다. 그리고 밴드 그룹 1 주파수 대역의 3432 MHz 신호 및 4488 MHz 신호를 생성하기 위하여 수동형 믹서와 LC-조정 Q-향상 BPF를 적용하였다. LC-조정 Q-향상 BPF는 1-비트 채널 선택 제어 신호에 의해 원하는 채널을 선택하며, BPF 출력 신호 및 VCO 버퍼 출력 신호는 다위상 필터 (poly-phase filter, PPF)에 의해 I/Q 신호가 만들어진다. 마지막으로, 또 하나의 1-비트 채널 선택 제어 신호에 의해 고속 스위칭 SCL 타입 멀티플렉서가 필요한 채널 출력 신호를 생성한다.

본 논문의 특징적인 사항은 UWB 특성의 구현에 적합한 저전력의 구현을 위하여 수동형 PPF를 적용한 점과 믹서의 선형성을 개선시키면서 전력 소모를 줄이기

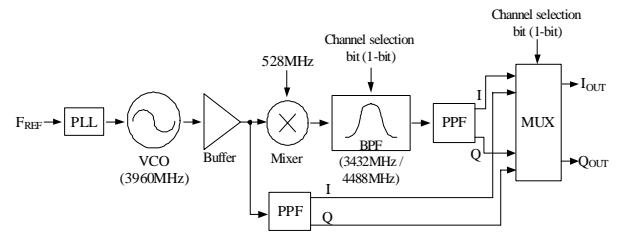


그림 1. 제안된 주파수 합성기의 블록 다이어그램

Fig. 1. Block diagram of the proposed frequency synthesizer.

위하여 수동형 믹서를 채택한 점이다.

I/Q 채널 출력 신호를 생성하기 위한 다른 방법으로는 이중 SSB 믹서를 사용하는 것이다. 하지만 이 방법은 칩 크기의 증가를 가져오고, 일반적인 SSB 믹서는 큰 전력을 필요로 하고, 스펙트럼의 잡음 수준 측면에서도 상대적으로 열세이다^[2].

또한, 본 논문에서 제안된 구조는 LC-조정 Q-향상 BPF를 적용함으로써 다수의 SSB 믹서를 사용하는 구조에 비하여 저전력을 유지하면서 동시에 상대적으로 높은 사이드 밴드 제거율을 얻게 된다. 따라서 제안된 고속 스위칭 주파수 합성기는 칩 구현상의 복잡도를 줄여 칩 면적을 줄일 수 있으며 저전력 MB-OFDM UWB 응용에 적합하다.

III. 회로설계 및 모의실험

제안하는 주파수 합성기를 구성하는 주요 블록의 회로에 대한 개략적인 회로도도 그림 2~그림 3과 같다.

1. VCO 설계

3960 MHz 의 발진 신호를 생성하기 위하여 그림 2(a)에 나타난 것과 같은 LC VCO를 설계하였다. 저잡음 특성을 얻기 위하여 VCO 코어는 PMOS 로 구성된 부저항 (negative resistor) 구조를 사용하였다. 이것은 SiO₂ 게이트 산화막을 갖는 0.18 μ m CMOS 공정에서 PMOS 트랜지스터가 NMOS 트랜지스터에 비해 10dB 정도 낮은 1/f 잡음을 갖으며 핫 캐리어에 의한 잡음 또한 작기 때문이다. LC 탱크는 두 개의 0.97 nH 인덕터 및 적층 모드 벡터를 사용하여 주파수 제어 기능을 구현하였다. 그림 2(b)는 VCO 버퍼의 개략도로서 뒷단에 프리스케일러와 같은 후속단을 구동하기 위하여 NMOS 차동 증폭기 구조를 사용하여 신호를 증폭시킨 후 신호 분리를 위하여 공통 드레인 접속 구조를 사용하였다.

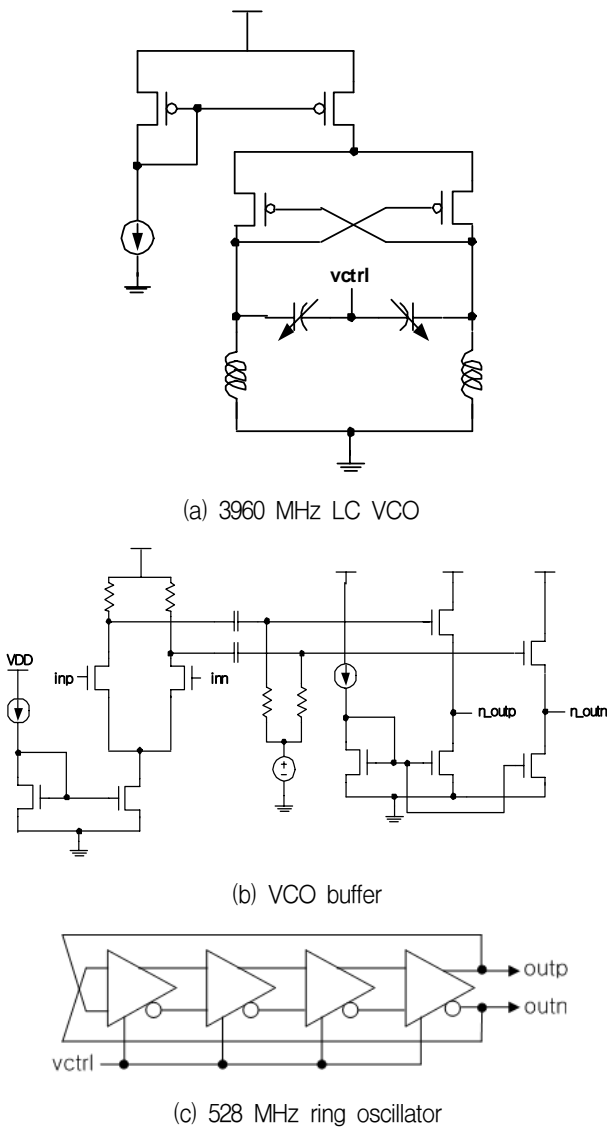


그림 2. 발진기 회로의 간략도
Fig. 2. Simplified circuit diagrams for oscillators.

한편, 528 MHz 발진 신호는 그림 2 (c)와 같은 4-단 차동 링 발진기 형태로 생성하였다. 링 타입의 오실레이터는 LC 타입 오실레이터에 비해 적은 전력 소모와 적은 면적이 장점이지만 위상 잡음 특성은 좋지 않다. 하지만 OFDM 신호의 서브-캐리어 주파수 신호의 간격이 4.125 MHz로서 충분히 넓기 때문에 본 논문의 주파수 합성기가 적용되는 MB-OFDM UWB 응용에 링 발진기를 적용하는 것이 가능하다^[4].

2. 믹서 및 BPF 설계

믹서는 3960 MHz 신호와 528 MHz 신호를 입력으로 받아서 곱함으로써 그 합과 차에 해당하는 주파수 성분인 4488 MHz와 3432 MHz의 주파수로 변환시키는 역할을 한다. 믹서는 능동형 방식과 수동형 방식으로 구

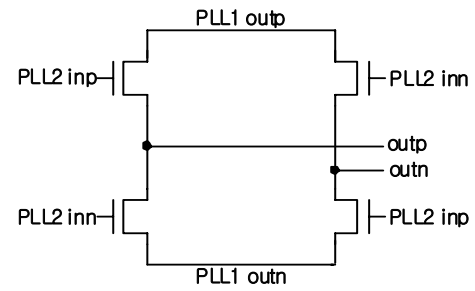
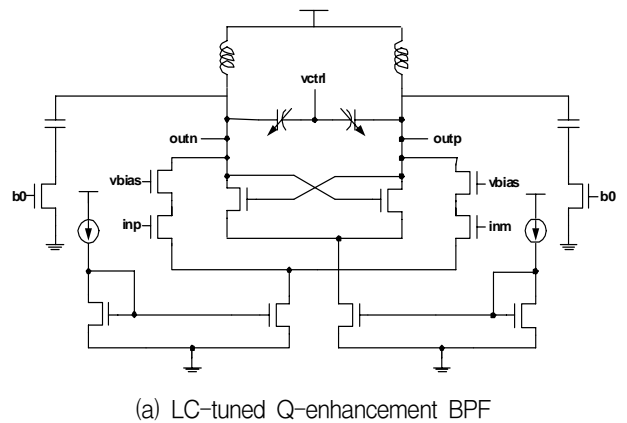
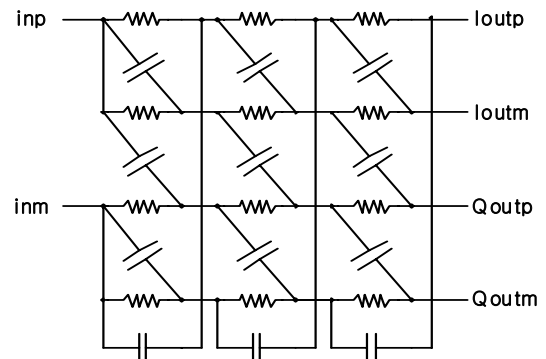


그림 3. 수동 믹서의 간략도
Fig. 3. Simplified circuit diagram for passive mixer.



(a) LC-tuned Q-enhancement BPF



(b) Poly-phase filter

그림 4. BPF 회로 및 다위상 필터의 간략도
Fig. 4. Simplified circuit diagrams for BPF and PPF.

분되는데 능동형 믹서는 높은 변환 이득을 얻을 수 있는 반면 선형성 측면에서는 불리하며 수동형 믹서는 변환 손실을 갖지만 좋은 선형성을 갖는다.

본 논문에서 제안된 주파수 합성기의 가장 큰 특징으로는 그림 3에 나타낸 바와 같은 수동형 믹서를 채택한 것이다. 그림 3에서 PLL1로 표기된 신호는 3960 MHz LC VCO에서 만들어진 출력 신호이며, PLL2로 표기된 신호는 528 MHz 링 오실레이터에서 만들어진 출력 신호이다. 각각의 NMOS 트랜지스터는 스위치로서 선형 영역과 차단 영역에서 동작하며, 게이트에 가해지는

PLL2 신호에 따라서 “on” 이나 “off”로 동작한다. 수동형 믹서는 능동형 믹서에 비해 낮은 전력 소모 뿐 아니라 선형성 측면에서도 유리하다. 하지만, 수동형 믹서의 실제로는 공정상의 변이에 의해 완전한 매칭의 구현이 어렵기 때문에 그 자체만으로는 좋은 사이드 밴드 제거 성능을 얻기 어려운 단점이 있다. 따라서 본 논문에서는 그림 4(a)와 같은 LC-조정 Q-향상 BPF를 추가적으로 사용하여 수동형 믹서의 인접 채널 제거비 특성을 개선하였다.

LC-조정 Q-향상 BPF의 중심 주파수 F_{center} 와 전달 전도도 (transconductance) G_m 은 다음 식 (1)에 의해 결정된다.

$$F_{center} = \frac{1}{2\pi\sqrt{LC}}, \quad G_m \approx \frac{1}{Q^2 R_s} \quad (1)$$

식 (1)에서 Q와 R_s 는 각각 인덕터의 Q 값 (quality factor)과 내부 직렬 저항값이다. 실제적으로 부저항 특성을 갖는 교차형 트랜지스터 코어의 전달전도도는 BPF가 발전하는 것을 방지하기 위하여 식 (1)에서 정해지는 값보다 약간 작게 설계되어야 한다. 그림 4(a)에서 v_{bias} 에 연결된 트랜지스터는 LC 탱크에서 바라본 임피던스를 증가시켜, 교차형 트랜지스터 코어의 전달 전도도를 줄일 수 있도록 하고 전력 소모 또한 줄이는 역할을 한다. LC-조정 Q-향상 BPF는 LC 탱크 형태의 BPF 구조에 의한 우수한 필터링 효과를 갖지만 근본적으로 전류 공급원을 필요로 하고 LC 탱크 자체에서 요구되는 일정 수준 이상의 전류가 있기 때문에 수동형 BPF에 비하면 전력 소모가 많다. 따라서 본 논문에서 제안된 주파수 합성기는 단일 BPF 구조를 적용하였으며, 기존에 다수의 BPF 또는 다수의 SSB 믹서를 사용한 구조에 비해서는 상대적으로 전력 소모 특면에서 유리하다^[5].

한편, MB-OFDM UWB 시스템의 QPSK 변조 방식은 주파수 합성기에서 직각 위상과 신호 (quadrature signal)의 출력을 필요로 한다. 직각 위상과 신호를 만들어내는 방법으로는 2 분주기를 연속 사용하는 디지털적인 방법과 RC 필터를 사용하는 아날로그적인 방법이 있다. 디지털적인 방법은 입력 주파수가 원하는 동작 주파수의 두 배가 되어야 하므로 디지털 회로를 대칭적으로 구현하기가 쉽지 않은 고주파 응용에는 불리하며, 입력 신호가 완전한 정현파나 구형파처럼 대칭적인 신호가 들어왔을 때만 정확한 I/Q 신호를 만들 수 있는 단점이 있다. 본 논문에서는 RC를 사용하는

아날로그적인 방법으로서 그림 4(b)와 같은 3 단의 다 위상 필터 (poly-phase filter)를 적용하였다. 다 위상 필터는 수동형 소자만을 사용하여 입력되는 신호의 대칭성에 무관하게 I/Q 신호를 출력할 수 있는 장점이 있으므로, 전력 소비를 줄이고, VCO 출력 또는 BPF 출력에서 나타날 수 있는 불균형 신호의 영향을 최소화하는데 적합하다.

3. 주파수 합성과 스푸리어스 레벨

모든 시뮬레이션은 0.18 μm CMOS 공정 모델을 기반으로 하여 Cadence Spectre로 진행되며, 공급 전압은 1.8 V이다. 그림 5는 수동형 믹서의 출력 신호에 대한 주파수 스펙트럼을 보여주는 모의실험 결과이다. 그림에서 나타난 바와 같이 3960 MHz 신호와 528 MHz 신호가 혼합되어 3432 MHz 신호와 4488 MHz 신호가 출력되는 것을 확인할 수 있다. 실제로는 합과 차의 주파수 성분 이외에도 여러 가지 주파수 성분들이 존재하며 이러한 신호들은 LC-조정 Q-향상 BPF에 의해 제거된다.

그림 6은 밴드 그룹 1에서 요구되는 3개의 서브-밴드 신호에 대한 스푸리어스 수준 시뮬레이션 결과를 보여준다. 그림 6(a)는 3960 MHz LC VCO에서 직접 생성되는 출력 신호의 스펙트럼을 나타내며, 그림 6(b)와 그림 6(c)는 각각 3432 MHz 및 4488 MHz 의 출력 신호에 대한 주파수 스펙트럼을 보여준다.

설계된 주파수 합성기의 스푸리어스 수준 모의실험 결과는 각각 3960 MHz대역에서 -30 dBc 이하, 3432 MHz대역에서 -40 dBc 이하, 그리고 4488 MHz대역에서 -44 dBc 이하로 나타났다. 특히, 4488 MHz 대역의 스펙트럼 마스크 수준이 -40 dBc인 사실을 고려할 때 그림 6(a)~그림 6(c)의 결과로부터 설계된 주파수 합성

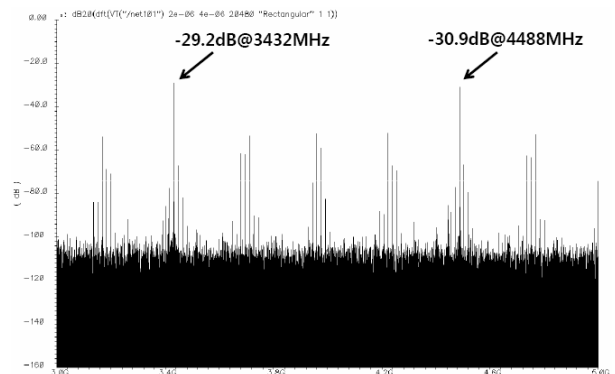
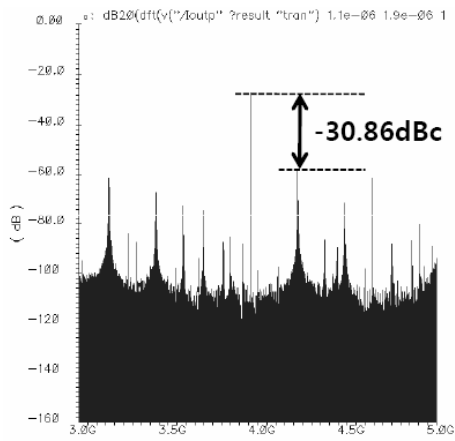
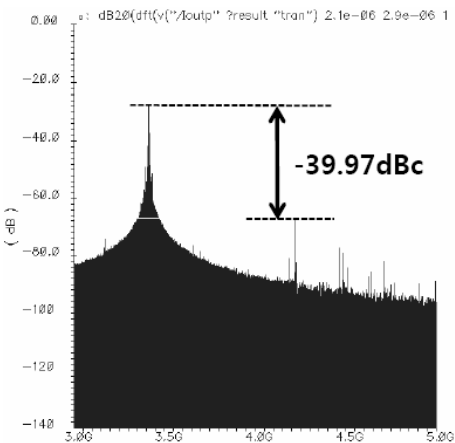


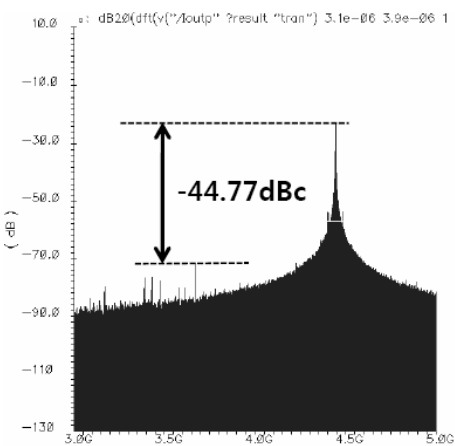
그림 5. 주파수를 합성 시뮬레이션 결과
Fig. 5. Frequency synthesis simulation results.



(a) 3960 MHz



(b) 3432 MHz



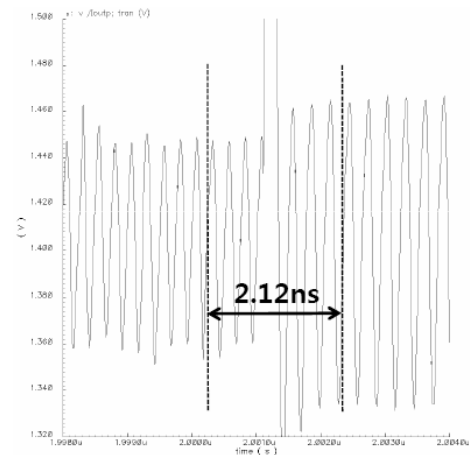
(c) 4488 MHz

그림 6. 스퓨리어스 수준 모의실험 결과
Fig. 6. Spurious level simulation results.

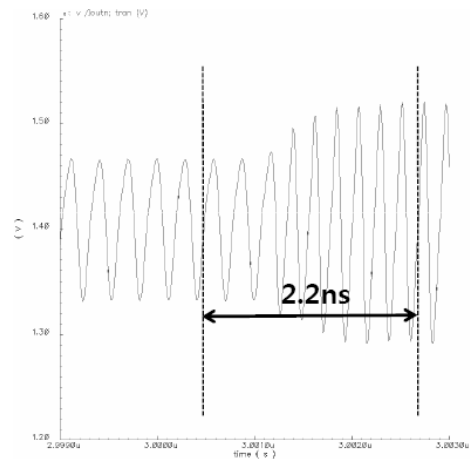
기가 UWB 시스템에서 요구하는 인접 채널 제거비 규격에 적합한 것을 확인할 수 있다.

4. 주파수 스위칭 특성

MB-OFDM UWB 시스템에서 요구되는 또 다른 주



(a) 3960 MHz → 3432 MHz



(b) 3432 MHz → 4488 MHz

그림 7. 주파수 스위칭 모의실험 결과
Fig. 7. Frequency switching simulation results.

표 1. 성능 요약

Table 1. Performance Summary.

Process	0.18 μm CMOS
Power supply	1.8 V
Power consumption	47.9 mW
Output frequency	3432, 3960, 4488 MHz
Frequency hopping time	< 2.2 ns
Sideband suppression	< -30dBc for 3960 MHz < -40dBc for 3432 MHz < -44dBc for 4488 MHz

요한 설계 규격은 주파수 호핑 (frequency hopping)을 위한 고속의 스위칭 시간으로서, 시스템 규격에서는 서브 밴드 주파수 사이의 변환이 9.47 ns 이내에 안정되는 것을 요구한다. 그림 7(a)는 3960 MHz에서 3432 MHz로의 출력 변환 시간을 나타내며, 그림 7(b)는 3432 MHz에서 4488 MHz로의 출력 변환 시간을 나타

낸다. 두 파형 모두 9.47 ns 이내에 안정적으로 주파수 변환이 이루어지는 것을 확인할 수 있다.

제안한 주파수 합성기의 주요 성능은 표 1에서 요약하였다.

IV. 결 론

본 논문에서는 MB-OFDM UWB 응용을 위하여 복잡도를 낮추고 전력소모를 줄인 고속 스위칭 주파수 합성기를 0.18 μm CMOS 공정으로 설계하였다. CAD tool은 IDEC의 지원을 받았다. 제안된 구조는 3960 MHz LC VCO, 528 MHz 링 오실레이터, 수동 믹서 및 LC-조정 Q-향상 BPF를 사용하여 밴드 그룹 1 주파수를 생성하며, 전체 전력 소모는 1.8 V 전원을 사용하여 47.9 mW이다. 인접 채널 제거비는 3432 MHz 신호에서 -40 dBc 이하, 그리고 4488 MHz 신호에서 -44 dBc 이하의 특성을 확인하였다. 규격에서 요구되는 출력 신호를 얻기 위하여 SCL 구조의 고속 스위칭 MUX를 사용하여 2.2 ns 이하의 밴드 스위칭 시간을 얻었다. 제안된 고속 스위칭 주파수 합성기는 칩 구현상의 복잡도를 줄여 칩 면적을 줄일 수 있으며 저전력 MB-OFDM UWB 응용에 적합하다.

참 고 문 헌

- [1] IEEE P802.15-03/268r0-TG3a.2003.
- [2] Takashi Tokairin et al., "A 0.18- μm CMOS Low-spurious Local Signal Generator for MB-OFDM UWB Radio," *IEEE RFIC Symposium*, pp. 215-218, 2007.
- [3] Chinmaya Mishra et al., "Frequency Planning and Synthesizer Architectures for Multiband OFDM UWB Radios," *IEEE Trans. Microwave Theory and Techniques*, Vol. 53, No. 12, pp. 3744-3756, Dec. 2005.
- [4] Jung-Eun Lee et al., "A Frequency Synthesizer for UWB Transceiver in 0.13 μm CMOS Technology," *SiRF*, pp. 294-297, 2006.
- [5] Che-Fu Ling et al., "A Fast-Switching Frequency Synthesizer for UWB Applications," *Asian Solid-State Circuits Conference*, pp. 197-200, 2005.

저 자 소 개



안 태 원(정회원)
 1992년 서울대학교 전자공학과 학사 졸업.
 1994년 서울대학교 전자공학과 석사 졸업.
 1994년~2002년 삼성전자 반도체 SYSTEM LSI 책임연구원.
 2002년~현재 동양공업전문대학 전자과 부교수.
 <주관심분야 : 반도체, PLL, Mixed/RF IC 설계>



문 제 철(정회원)
 2006년 숭실대학교 정보통신 전자공학부 학사 졸업.
 2008년 2월 숭실대학교 전자공학과 석사 졸업.
 2008년 1월~현재 (주)에프씨아이 설계팀 연구원.
 <주관심분야 : PLL, LC-VCO, 시그마-델타 변조기, AFC, 저전력회로, CMOS RF 등>



김 용 우(정회원)
 2008년 숭실대학교 정보통신 전자공학부 학사 졸업.
 2002년~현재 숭실대학교 전자공학과 석사과정 재학 중.
 <주관심분야 : 주파수합성기, PLL 등>



문 용(정회원)
 1990년 서울대학교 전자공학과 학사 졸업.
 1992년 서울대학교 전자공학과 석사 졸업.
 1997년 서울대학교 전자공학과 박사 졸업.
 1997년~1999년 LG반도체 선임연구원.
 1999년~현재 숭실대학교 정보통신전자공학부 부교수.
 <주관심분야 : 혼성신호IC, 저전력회로, CMOS RF회로, UWB 등>