

# 낮은 이득과 균일한 이득 분포를 가지는 다중 밴드 전압 제어 발진기의 설계

문제철, 문 용

숭실대학교 전자공학과

## Abstract

낮은 VCO 이득 변화와 균일한 VCO 이득 분포를 갖는 다중밴드 VCO를 0.18 $\mu\text{m}$  CMOS 공정으로 설계하였다. VCO는 PMOS를 사용하여 위상잡음을 감소시켰고, 인덕터와 캐패시터, 버랙터(varactor)를 선택적으로 스위칭하는 기법과 VCO 주파수 교정 블록을 적용하여 800MHz~1.67GHz에서 동작이 가능하였다. 캐패시턴스의 선형 특성을 개선하는 버랙터 바이어스 개수를 2개로 최소화 하였고, 버랙터 스위칭과 VCO 주파수 교정 기법을 적용하여  $K_{VCO}$ (VCO이득) 저하를 개선하고 균일한 간격을 유지할 수 있었다. 측정시 VCO의 소모 전류는 약 10mA, 52.1%의 tuning range, 모의 실험시  $-100\text{dBc/Hz}@1\text{MHz}$  offset(오프셋) 이하의 잡음 특성을 확인하였다.

## 1. 서론

최근 반도체 집적기술의 발전으로 다양한 통신 기술이 하나의 시스템에 통합되고 있고, 소비자들은 점차 다양한 통신 서비스를 단일 시스템으로 사용할 수 있게 되었다. 이런 시스템 구현시 여러 RF 송수신단을 전력소비와 크기의 가격대 성능비를 최적화하기 위해서 하나로 구현하는 것이 합리적이다. 이 중에서 VCO는 통신 서비스의 성능을 결정하는 중요한 블록으로써, VCO 이득 특성을 일정하게 유지하면, 주파수 합성기 및 송수신단의 특성을 향상시킬 수 있다.

본 논문에서는 이득 저하를 개선한 다중 대역 및 광대역 VCO를 0.18 $\mu\text{m}$  CMOS 공정으로 설계하였고, VCO 이득의 선형화를 위해 MOS 버랙터(varactor)에 다중 바이어스를 적용하였다. 또한 광대역 및 다중 대역 VCO의 단점인 VCO 이득 저하를 개선하기 위해 버랙터 뱅크 구조와 VCO 주파수 보정 (VCO frequency calibration) 구조를 제안해서 VCO 이득 저하를 개선하도록 설계하였다.

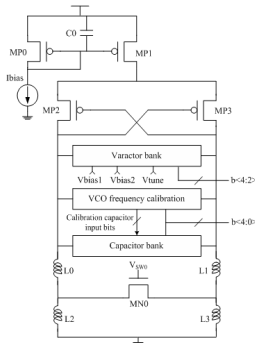


그림1. 광대역 및 다중밴드 VCO

## 2. 다중밴드 VCO 구조

그림 1과 같이 본 논문에서 설계한 VCO는 저잡음 특성을 위해 PMOS LC VCO로 제작했고[1] [2], 다중밴드 주파수 특성을 위해 스위칭 기법의 인덕터 방식과 5비트 스위칭 방식의 캐패시터 뱅크를 사용하였다. 또한 VCO 이득의 선형 특성을 개선하기 위해 MOS 버랙터에 다중 바이어스를 적용하였고, VCO 이득 저하

를 개선하기 위해 스위칭 방식의 버랙터 뱅크와 VCO 주파수 보정 구조를 사용하였다. 스위칭 방식의 인덕터는 스위치의 동작에 따라서 1.11GHz~1.67GHz와 800MHz~1.14GHz의 주파수 대역을 출력하게 된다.

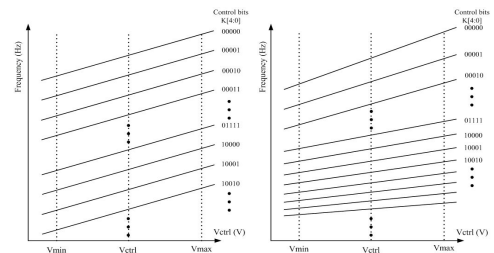


그림 2. (a) 이상적인 다중밴드 VCO 이득 특성  
(b) 실제 구현되는 다중밴드 VCO 이득 특성

## 3. 스위칭 구조의 버랙터 뱅크의 설계

VCO 이득 변화는 VCO의 설계에서 중요한 부분 중에 하나이다. 최근 광대역 VCO 제작에서 외부 잡음에 따른 VCO 주파수 변화의 민감도를 감소시키기 위해 다중밴드 구조로 설계하는 추세이다. 하지만, 그림 2-(a)에서 보는 것과 같이 실제 구현되는 다중밴드 VCO 이득 특성은 광대역 VCO를 구현하는 경우에서 식 (1)의 동일한 버랙터의 캐패시턴스(capacitance)값의 변화에 대해서 캐패시터 뱅크 값의 증가폭이 크기 때문에, 제어 전압 변화에 따른 주파수 변화 폭이 그림 2-(b)와 같은 형태로 변화하게 된다.[3]

$$w = \frac{1}{\sqrt{LC}} = \frac{1}{\sqrt{L(C_{var} + C_{capbank} + C_{parasitic})}} \quad (1)$$

VCO 이득이 감소하는 것은 잡음에 의한 출력 주파수 변화를 감소시키지만, 전체적인 지원 주파수 효율은 감소되게 된다. 또한 VCO 이득의 변화로 인해서 주파수 합성기 제작시 다른 특성을 계속 변화시켜야 하는 단점이 발생하게 된다. 따라서 VCO 이득을 일정하게 유지하면, 전체적인 주파수 합성기의 성능 향상과 함께 출력 주파수 범위 확장 효과를 얻을 수 있다.

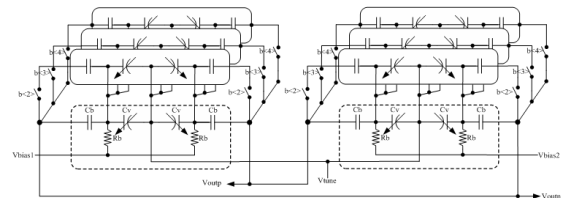


그림 3. 스위칭 기법을 적용한 버랙터 뱅크

그림 3은 제안한 스위치 방식의 버랙터 뱅크의 구조를 나타내고 있다. 제안한 스위칭 방식의 버랙터 뱅크는 선형 특성을 개선하기 위해 버랙터에 다중 바이어스를 구조를 사용하였고[4], 제안한 회로에서는 바이어스 전압의 최소 개수를 이용해서 캐패시턴스 선형화를 최적화 하였다. 또한 입력을 캐패시터 뱅크 입력의 상위 3비

트를 이용하도록 설계해서 추가적인 입력 신호가 없게 하였다. 해당 비트 값이 활성화되면 전체 버랙터 뱅크의 캐패시턴스 변화량이 증가하고, VCO 이득 저하가 감소하게 된다.

#### 4. VCO 주파수 보정 블록의 설계

스위칭 방식의 버랙터 뱅크는 VCO 이득의 향상을 가져올 수 있지만, VCO 이득의 간격을 향상시키지는 못한다. 이런 경우에는 전체적인 출력 주파수 대역은 크게 향상되지는 못한다. 따라서, 추가적으로 VCO 주파수 교정 블록을 제안하였다.

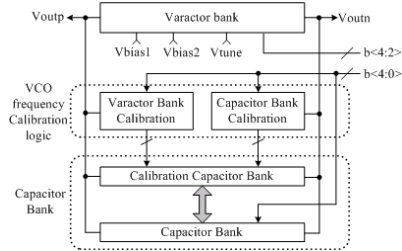


그림 4. VCO 주파수 교정 블록을 가진 전체 tuning 블록

그림 4에서 VCO 주파수 교정 블록은 캐패시터 비트 입력을 사용하기 위한 논리 로직과 VCO 주파수 간격 보정을 위한 추가적인 캐패시터 뱅크로 이루어져 있다. 캐패시터 입력 비트를 이용한 논리 로직의 출력은 thermometer 디코더와 유사하게 제작되어서 추가되는 캐패시터를 최소화 하였다. VCO 주파수 교정 블록은 VCO 이득 곡선의 간격을 균일하게 만들어서, VCO의 주파수 효율과 동작 특성을 최적화 할 수 있다.

표 1.  $K_{vco}$  이득 분포

High Frequency Band ( $V_{sw0}=1.8V$ )			
	Post simulation results		Proposed measurement
	Conventional	Proposed	
$K_{vco}$ Max.	86.1 MHz/V	46.0 MHz/V	15.9 MHz/V
$K_{vco}$ Min.	37.1 MHz/V	36.1 MHz/V	12.1 MHz/V
$K_{vco}$ Variation	$\pm 39.8\%$	$\pm 12.1\%$	$\pm 13.6\%$
Low Frequency Band ( $V_{sw0}=0V$ )			
$K_{vco}$ Max.	44.2 MHz/V	29.2 MHz/V	10.4 MHz/V
$K_{vco}$ Min.	17.3 MHz/V	22.3 MHz/V	6.2 MHz/V
$K_{vco}$ Variation	$\pm 43.7\%$	$\pm 13.4\%$	$\pm 25.3\%$

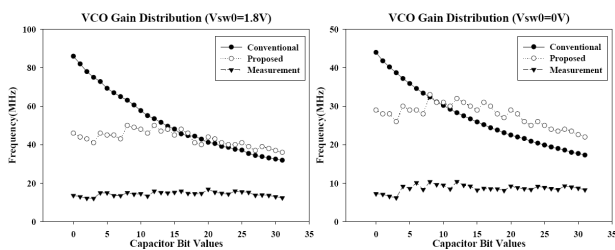


그림 5. VCO 이득 분포

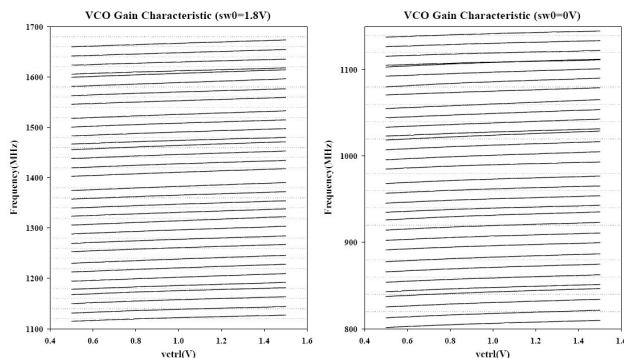


그림 6. VCO 이득 특성

#### 5. 모의실험 및 측정 결과

VCO는 0.18 $\mu$ m CMOS 공정으로 설계하고, Spectre를 이용하여 모의 실험을 진행하고 칩 제작 후 측정을 하였다. 표 1은 VCO 이득 분포를 요약한 것으로, 모의실험으로는 제한한 구조가 일반적인 구조에 비해서 약  $\pm 30\%$  이득 변화 개선을 보였다. 또한 측정 결과의 이득 변화가  $\pm 30\%$  미만으로 측정되어 일반적인 VCO의 이득 변화에 비해서 개선된 것을 알 수 있다. 그림 5는 전체적인 이득 분포를 나타낸 것이다. 그림 6은 측정된 VCO의 주파수 특성을 나타낸 것으로 본 논문에서 제안한 구조를 적용한 VCO가 50% 이상의 tuning range를 가지면서도 균일한 주파수 특성을 갖는 것을 볼 수 있다. 그림 7은 실제 layout과 테스트를 위해 분주된 VCO의 출력 파형을 나타내고 있으며, 칩 면적은 1800 $\mu$ m $\times$ 1180 $\mu$ m이고 VCO의 위상 잡음은 모의실험시 지원 주파수 대역에서  $-100$ dBc/Hz @1MHz 이하의 잡음 특성이 가능함을 확인하였다.

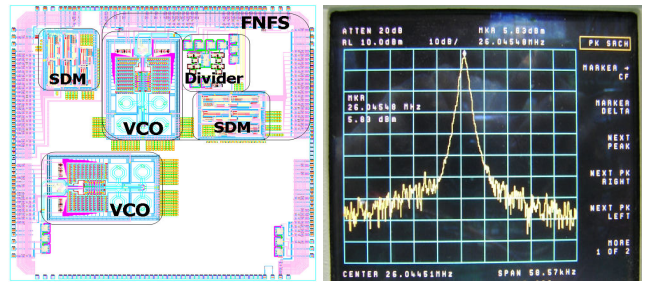


그림 7. Layout 및 VCO 출력 파형

#### 6. 결론

낮은 VCO 이득 변화와 균일한 VCO 이득 분포를 갖는 다중밴드 VCO를 0.18 $\mu$ m CMOS 공정으로 설계하였다. PMOS 코어 LC VCO로 제작하여 저잡음 특성을 얻었고, 인덕터와 캐패시터, 제안하는 버랙터를 선택적으로 스위칭하는 기법을 적용하여 칩 측정시 800MHz~1.67GHz 대역에서 동작 가능한 것을 확인하였다. 캐패시턴스의 선형 특성을 개선하는 버랙터 바이어스 개수를 2개로 최소화 하였고, 버랙터 스위칭 기법으로 VCO 이득을 일정하게 유지할 수 있었다. 또한, VCO 주파수 교정 기법을 적용해서 균일한 VCO 이득 간격을 구현할 수 있었다. 제작한 VCO의 대역 특성으로 인해서 여러 휴대용 멀티미디어 시스템을 지원할 수 있는 시스템의 설계가 간편해지고 비용 감소 효과로 인해서 그 수요가 크게 증가할 것으로 생각된다.

#### 감사의 글

본 연구는 정보통신부 출연금으로 ETRI, SoC 산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이고, CAD Tool은 IDEC의 지원을 받았습니다.

#### References

- [1] Bonkee Kim et al., "A 100mW Dual-Band CMOS Mobile-TV Tuner IC for T-DMB/DAB and ISDB-T", 2006 ISSCC, vol. 49, pp.614-615, Feb. 2006.
- [2] Park, Y. et al., "Wide-band CMOS VCO and frequency divider design for quadrature signal generation", 2004 IEEE MIT-S, vol. 3, pp.1493-1496, Dec. 2004.
- [3] Donhee H. and Hajimiri, A., "Design and optimization of a low noise 2.4GHz CMOS VCO with integrated LC tank and MOSCAP tuning," ISCAS 2000 - IEEE International Symposium on Circuits and Systems, vol. 1, pp.331-334, May 2000.
- [4] Julien MIRA et al., "Distributed MOS Varactor Biasing for VCO Gain Equalization in 0.13 $\mu$ m CMOS Technology", 2004 IEEE RFIC Symposium, pp. 131-134, June. 2004.