

# 광대역 고속 디지털 PLL의 구조에 대한 연구

안태원\*, 박원영\*, 문용\*\*

\*동양공업전문대학 전기전자통신공학부, \*\*승실대학교 전자공학과

e-mail : *twahn@dongyang.ac.kr*

## A Study on the Wide-band Fast-Locking Digital PLL

Tae-Won Ahn\*, Won-Young Park\*, Yong Moon\*\*

\*School of Electrical Engineering, Dongyang Technical College

\*\*School of Electronic Engineering, Soongsil University

### Abstract

This paper presents the digital PLL architecture for improving the frequency detection range and locking time for multi-band and wide-band frequency synthesizer applications. In this research, a wide-range digital logic quadricorrelator is used for wide-band and fast frequency detector and sigma-delta modulator with 2-bit up-down counter is adopted for DCO control.

### I. 서론

무선 통신 시스템의 송수신기는 고속의 데이터 통신 및 광대역을 지원해야 할 필요성이 증가하고 있으며, 특히 PLL은 그러한 요구를 수용할 수 있는 핵심 기능 블록으로서 고속의 광대역 송수신기를 구현하는데 있어서 매우 중요한 역할을 수행한다. 기존의 일반적인 PLL은 아날로그 블록의 비중이 높기 때문에 구현상의 수율 및 디지털 시스템과의 통합화에 어려움의 소지가 많다. 또한 소형화 및 저전력 구현에도 불리한 점이 있다. 이에 따라, PLL의 아날로그 블록을 디지털 블록으로 대체하려는 연구가 많이 진행되어 왔으며, 이와 관련된 많은 연구가 발표되었다[1].

그러나, 디지털 PLL은 양자화에 의한 노이즈로부터 추가되는 위상 잡음이 증가할 우려가 있으며, 최근의 휴대용 멀티미디어 통신 단말기 등에서 요구되는 고속의 락킹 및 광대역 지원, 그리고 소형화 및 저전력 구현에 아직 개선의 여지가 많다.

본 논문에서는 이와 같은 관점에서 디지털 PLL의 성능 개선을 위하여 광대역 고속 락킹이 가능한 디지털 PLL의 구조를 제안한다.

### II. 본론

#### 2.1 일반적인 전하 펌프 PLL

주파수 합성기로서 가장 일반적으로 사용되는 구조는 그림 1과 같이 기준 주파수 신호로부터 얻은 기준 클럭 (CKR)과 VCO에서 피드백 되어 분주된 클럭 (CKV)의 위상 및 주파수 차이를 검출하는 위상 주파수 검출기 (PFD)와 전하 펌프 (charge pump), 루프 필터 (loop filter), 그리고 입력된 전압의 크기에 따라서 정해지는 주파수를 생성하는 VCO로 이루어져 있다. 그림 1에서 굵은 선으로 표시된 부분은 아날로그 블록으로서, 구현상의 수율 및 디지털 시스템과의 통합 측면에서 불리하며 고속의 락킹 및 광대역 지원을 위해서는 설계의 난이도가 높아진다. 따라서 최근의 저전력 요구사항을 만족시키기 어려운 요소가 있다. 현재는 락킹 시간과 위상 잡음을 개선하기 위하여

VCO에서 피드백 되는 경로에 분수형 분주 기능을 추가한 분수형 주파수 합성기 구조의 PLL을 많이 사용하는 추세이다.

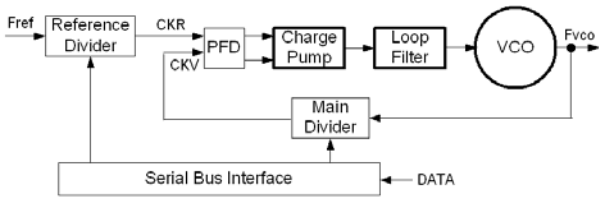


그림 1. 일반적인 전하 펌프 PLL

### 2.2 제안하는 디지털 PLL

그림 2는 본 논문에서 제안하는 고속의 광대역 주파수 합성 기능을 갖는 디지털 PLL의 구성도이다. PFD와 전하 펌프를 광대역 특성을 갖는 주파수 검출기로 대체하고 루프 필터를 이진 검색기 및 2-비트 카운터로 대체한 것이 특징이다. 주파수 검출기는 기준 클럭(CKR)과 발진 클럭(CKV)의 주파수를 비교하여 빠르거나 (fast) 느리거나 (slow) 신호를 출력하고, 이 신호는 이진 검색기에 의해 디지털 제어 발진기(DCO)의 बैं크를 결정하게 된다. 그 이후에는 정해진 बैं크 코드의 하위 2 비트가 2-비트 업-다운 카운터의 동작에 의해 정해지고, 그 결과가 시그마-델타 변조기(sigma-delta modulator; SDM)에 입력된다. SDM은 노이즈 형성 기능을 가지므로 PLL이 락이 되도록 계속적으로 수렴되면서 정해지는 디지털 신호(SDMout)를 출력하고, 이 신호에 의해 DCO의 발진 주파수가 정해진다.

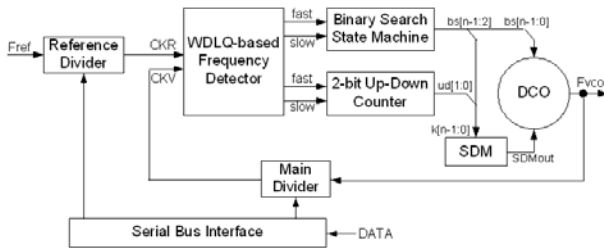


그림 2. 제안하는 광대역 고속 디지털 PLL

### III. 시스템 설계 및 분석

광대역 고속 디지털 PLL의 핵심은 두 클럭 신호의 주파수 차이를 검출하는 블록과 발진기의 बैं크 및 제어 신호를 생성하는 블록으로서, 본 연구에서는 고속의 락킹과 광대역 주파수 비교 특성을 갖도록 광대역 디지털 로직 직교상관기(WDLQ)를 적용하였다. WDLQ는 클럭 주파수의 ±100% 범위까지 검출 범위

를 확장하여 광대역 응용에 적합하다[2].

그림 3은 주파수를 비교한 결과에 의하여 이진 검색기가 DCO बैं크의 하위 4 비트가 "0110"로 결정되는 동작 예를 보여준다. 기준 클럭과 발진 클럭의 주파수를 비교하여 발진기 बैं크 코드의 MSB부터 차례로 결정되기 시작한다. 일단 बैं크 코드가 결정되면, 그 이후에는 정해진 बैं크 코드의 하위 2 비트가 2-비트 업-다운 카운터의 동작에 의해 정해지고, 그 결과는 노이즈 형성 기능을 갖는 시그마-델타 변조기에 입력되어 DCO의 발진 주파수를 제어하게 된다.

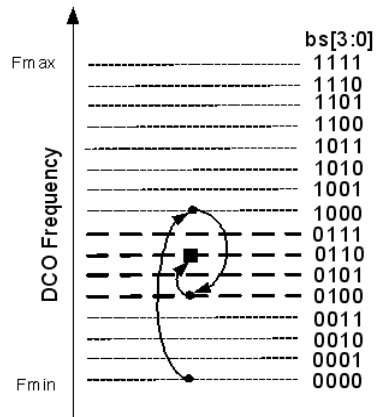


그림 3. 제안하는 디지털 PLL의 동작 예

### IV. 결론

본 논문에서는 디지털 PLL의 성능 개선을 위하여 고속의 락킹 및 광대역 응용에 적합한 광대역 고속 디지털 PLL의 구조를 제안하였다. 광대역 특성을 갖는 주파수 검출기와 이진 검색기에 의해 DCO의 बैं크가 정해지도록 하고, 2-비트 업-다운 카운터와 SDM을 적용하여 전체적인 블록을 디지털화 하는 것에 목적을 두었다.

### 참고문헌

[1] Colin Weltin-Wu et al, "A 3GHz Fractional-N All-Digital PLL with Precise Time-to-Digital Converter Calibration and Mismatch Correction" IEEE, Solid-State Circuits, pp. 344-345, Feb. 2008.  
 [2] Tae-Won Ahn et al., "An Adaptive Frequency Calibration Technique for Fast Locking Wide-Band Frequency Synthesizers," IEEE 48th MWSCAS, vol. 2, pp.1899-1902, Aug. 2005.