

# 버니어 지연을 이용한 2단 시간 증폭기의 연구

이 종 석, 문 용  
승실대학교 정보통신전자공학부  
e-mail : leejongsuk1385@hanmail.net

## A study on 2-stage Time Amplifier using vernier delay

Jongsuk Lee and Yong Moon  
School of Electronic Engineering  
Soongsil University

### Abstract

버니어 지연을 이용하여 시간을 지연한 후 이를 2단에 걸쳐 증폭한 시간 증폭기(Time Amplifier)를 설계하였다. 2단 증폭은 평균 이득을 40정도 얻을 수 있어 5비트 수준의 해상도 구현이 가능하다. 제안한 시간 증폭기는  $0.18\mu\text{m}$  공정을 사용하여 설계하였고 입력 범위는  $\pm 10\text{ps}$ 이고, 최소 이득은 34이다.

### I. 서론

TA(Time Amplifier)는 TDC(Time-to-Digital Converter)의 해상도를 높이는데 매우 유용한 회로이다. PLL은 많은 회로에서 사용되며 TDC는 ADPLL(All-Digital PLL)에서 위상 주파수 검출기를 대체할 수 있는 블록으로 가장 중요한 블록중의 하나이다.

TDC는 두 시간의 차이를 해당되는 디지털 값으로 바꿔주는 역할을 한다. 하지만 두 시간차가 너무 짧으면 그 시간을 감지하기 어려워진다. 따라서 TA로 짧은 시간차를 증폭한 다음 TDC에서 최종적으로 디지털 코드로 변환한다. 이를 통해 해상도가 많이 개선되어 보다 정밀한 TDC를 구현할 수 있다. TA에 대한 연구는 많이 진행되었지만 고급 공정을 기반으로 높은 해상도를 얻는 구조가 대부분이다. 이에 본 논문에서는

일반 공정에서도 높은 해상도를 얻을 수 있는 TA에 대해서 제안하고자 한다.

### II. 버니어 지연 시간 증폭기의 설계

기존의 TA는 두 개의 NAND게이트를 이용하여 두 입력의 시간차를 해당 이득만큼 증폭하여 출력하는 회로이다[1][2]. 그렇지만 입력범위가 많이 제한되어 그림 1과 같은 2개의 TA를 이용하여 입력범위를 증가시킨 연구가 진행되었다[3].

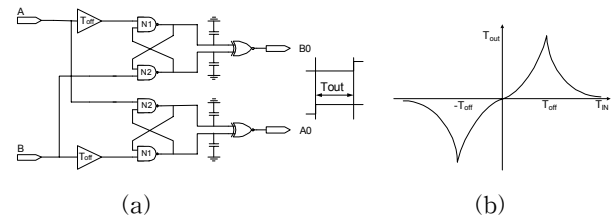


그림 1.(a) 기존의 TA의 개념 (b)  $T_{out}$ 의 특성곡선  
그림 1.(a)에서 두 개의 동일한 NAND게이트(N1, N2)를 가지고 N1의 입력에  $T_{off}$ 라는 지연을 추가하여 기존의 NAND게이트 소자의 부정합을 대신 하였다[3]. 따라서, 그림 1.(b)에서의 파형을 두 개의 TA의 출력( $B_0$ ,  $A_0$ )의 차이로 얻을 수 있으며, 원점 근처의 선형적인 부분이 TA로 사용된다. 기존의 TA는 버퍼 한개의 지연시간 단위로  $T_{off}$ 가 생성되기 때문에 일반 공정에서 지연시간이 큰 경우 이를 해결할 방법이 없다.

실제 회로 연구에서 90nm공정을 사용할 때에는[3] 높은 해상도를 얻을 수 있지만 그 이하의 공정에서는 버퍼의 최소 지연이 90nm공정의 2~3배이기 때문에 같은 해상도를 얻을 수 없다. 이를 보완하기 위한 회로인 VTA(Vernier delay TA)를 그림 2에서 제안하였다.

또한, 기존의 TA에서는 이득이 16정도로 뒷단의 TDC의 해상도가 4비트만 가능하므로 이로 인해 전체 해상도가 제한되었다. 이러한 제한은 2단 구조를 VTA에 적용하여 해결하였다.

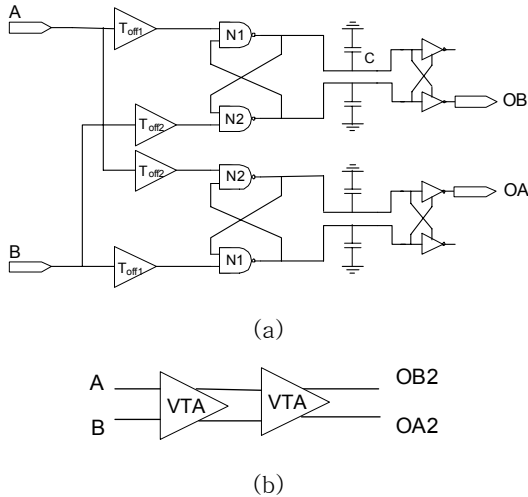


그림 2.(a) VTA의 회로도

(b) 제안하는 2단 TA의 블록도

그림 2.(a)는 제안하는 VTA의 회로도로서 두 종류의 버퍼  $T_{off1}$ 과  $T_{off2}$ 의 지연 차이로  $T_{off}$ 를 구현하여 버퍼 하나의 최소 지연이 40ps이상인 0.18 $\mu$ m공정에서도 사용의 제한이 없게 하였다. 이는 아래 식(1)과 같은 관계를 이용했다.

$$T_{off} = T_{off1} - T_{off2} \quad (1)$$

그림 2.(b)에서는 VTA를 직렬로 2개를 연결하여 앞단의 출력을 두 번째 단에서 다시 증폭하여 전체 증폭기의 이득을 높였다. 첫 번째 단 VTA에서 입력 범위보다 이득이 높게 설계하였고, 두 번째 단 VTA에서는 이득보다 입력범위를 넓혔다. 첫 번째 단 VTA의  $T_{off}$ 는 2.3ps이고 두 번째 단 VTA의  $T_{off}$ 는 37.6ps이다. 선형성을 최대로 유지하면서 최종적으로  $\pm 10$ ps의 넓은 입력 범위와 전체 이득을 32이상 얻을 수 있다.

### III. 모의 실험 결과

그림 3에서 두 입력시간의 차이( $T_{IN}$ )와 증폭된 출력의 차이( $T_{out}$ )를 첫 번째단 VTA의 출력 TO와 두 번째단 VTA의 출력 TO2에 대해서 나타내었다. 이득이 32이상이므로 해상도를 5비트 수준까지 높일 수 있다.

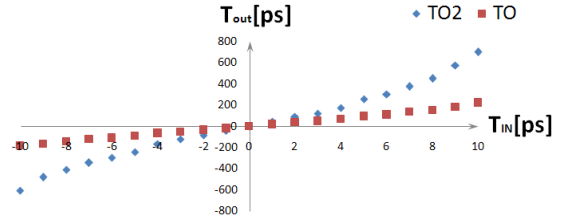


그림 3. VTA와 2단 TA의 출력과형

그림 4에서는 2단 TA의 이득을 입력에 따라 나타낸 것이다. 최소 34로 원하는 조건(>32)을 만족하는 값이다.

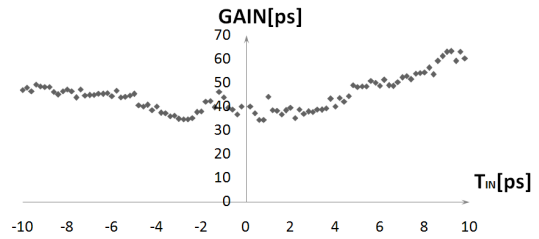


그림 4. 2단 TA 이득 분포 그래프

## IV. 결론

버니어 지연을 이용한 VTA회로를 이용하여 공정의 저하에도 불구하고 높은 해상도를 얻을 수 있는 2단 TA를 제안하였다. 제안한 2단 TA는 이득이 32 이상이므로 5비트 해상도까지 가능하다.

따라서, 본 연구결과는 일반적인 공정에서 TDC의 해상도를 높이는데 유용할 것이며, 여러 곳에 사용이 가능할 것이다. 추후 선형성을 좀 더 개선 한다면 더욱 우수한 TDC의 구현이 가능할 것이다.

## 감사의 글

본 연구는 ETRI, IT-SoC 산업진흥센터에서 수행한 핵심설계인력양성사업의 연구결과이고, CAD Tool은 IDEC의 지원을 받았습니다.

## 참고문헌

- [1] A. M. Abas, G. Russell, and D. J. Kinniment, "Design of sub 10-picoseconds on-chip time measurement circuit," in *Proc. Design Automation Test Europe Conf.*, vol. 2, pp. 804 - 809, 2004 .
- [2] A. M. Abas *et al.*, "Time difference amplifier," *Electron. Lett.*, vol. 38, no. 23, pp.1437-1438, Nov. 2002
- [3] M Lee and Asad A. Abidi, "A 9b, 1.25ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue," *IEEE J Solid-State Circuits*, vol. 43, no. 4, pp. 168 - 169, June 2007