

## 2 단 시간 증폭기를 이용한 버니어 Coarse-Fine 시간 디지털 변환기

이종석, 문 용

승실대학교 전자공학과

### 초록

This paper proposes a new vernier coarse-fine TDC (Time-to-Digital Converter) that has high resolution independent of technologies. The proposed TDC uses 2-stage TA (Time Amplifier) that has higher gain than conventional TA for resolution enhancement. The proposed TDC has high resolution adopting vernier delay line and could be implemented without using high-end process. The proposed vernier coarse-fine TDC is designed in 0.18  $\mu\text{m}$  CMOS process. The input range is 320ps and output has 10bit resolution.

### 1. 서론

시간 디지털 변환기는 All-Digital PLL 에서 위상 주파수 검출기를 대체할 수 있는 블록으로 가장 중요한 블록중의 하나이며, 두 시간의 차이를 해당되는 디지털 값으로 바꿔주는 역할을 한다. 하지만 두 시간차가 너무 짧으면 그 시간간격을 감지하기 어려워지기 때문에 시간 증폭기로 짧은 시간차를 증폭한 다음 시간 디지털 변환기에서 최종적으로 디지털 코드로 변환한다. 그러므로 시간 증폭기는 시간 디지털 변환기의 해상도를 높이는 데 매우 유용한 회로이다. 하지만 시간 증폭기는 고급 공정을 기반으로 높은 해상도를 얻는 구조가 대부분이다. 그러나 버니어 지연을 이용하여 일반 공정에서도 높은 해상도를 얻을 수 있는 시간 증폭기를 사용하였으며, 시간 디지털 변환기 또한 버니어 지연을 이용하여 공정에 적은 영향을 받으면서 고해상도가 가능한 구조를 제안하고, 모의실험을 통하여 검증했다.

### 2. 시간 증폭기

#### a) 기존의 시간 증폭기

기존의 시간 증폭기는 두개의 NAND 게이트의 부정합에 의한 준안정한 상태를 이용했다[1]. 이러한 SR-래치 2 개를 연결하여 두 입력의 시간차를 해당 이득만큼 증폭하여 출력한다. 그러나 기존의 구조는 우수한 증폭특성을 가지나 시간지연( $T_{off}$ )을 생성할 때 버퍼를 사용하고, 버퍼의 최소지연에 의해  $T_{off}$  가 결정되므로 공정에 의한 제한을 받게 되는 단점이 있다.

#### b) 2 단 버니어 시간 증폭기

기존의 시간 증폭기는 버퍼의 지연 단위로  $T_{off}$  가 생성되기 때문에 일반 공정에서 지연이 큰 경우 이를 해결할 방법이 없었다. 이를 보완하기 위한 버니어 지연을 이용한 시간 증폭기를 사용하였으며, 그림 1 에 회로를 나타냈다[2].

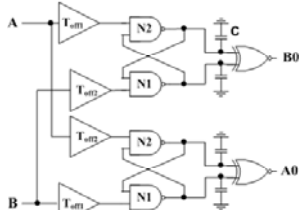


그림 1. 버니어 시간 증폭기의 회로도

사용한 버니어 시간 증폭기는 두 종류의 버퍼  $T_{off1}$  과  $T_{off2}$  의 지연 차이로  $T_{off}$  를 구현하여 버퍼 하나의 최소 지연시간에 상관없이 해상도를 증가시킬 수 있다. 이로 인해 얻을 수 있는 실효 지연시간은 아래 식(1)과 같다.

$$T_{off} = T_{off1} - T_{off2} \quad (1)$$

또한 준안정 상태를 사용하는 시간 증폭기는  $T_{off}$  의 값에 따라 이득이 결정되고, 이에 따라 전체 해상도가 제한되었는데 이러한 제한은 2 단 구조를 적용하여 해결했다. 그림 2 에서 버니어 시간 증폭기를 2 개 연결하여 전체 증폭기의 이득을 높였다.

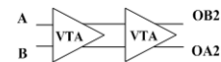


그림 2. 2 단 버니어 시간 증폭기의 블록도

선형성을 최대로 유지하면서 최종적으로  $\pm 20\text{ps}$  의 넓은 입력범위와 전체 이득을 32 이상 얻을 수 있으므로 해상도를 5bit 수준까지 높일 수 있다.

### 3. 제안하는 버니어 Coarse-Fine 시간 디지털 변환기

버니어 구조를 적용한 버니어 Coarse-Fine 시간 디지털 변환기는 그림 3 과 같다.

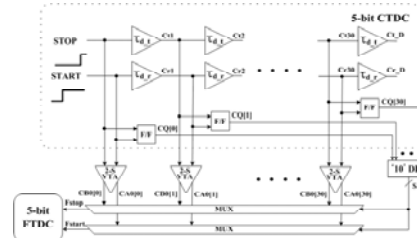


그림 3. 제안한 Coarse-Fine 시간 디지털 변환기

전체 시간 디지털 변환기는 5bit Coarse-시간 디지털 변환기(CTDC)와 5bit Fine-시간 디지털 변환기(FTDC)로 구성되어 있다. CTDC 블록에서는 버니어 지연에 의해 ( $\tau_{d,r} - \tau_{d,l}$ ) 만큼의 시간차이로 START 가 STOP 을 쫓아간다. 두 신호의 시간차이가 시간 증폭기의 입력 범위 (<math>20\text{ps}</math>) 이내에 들어오게 되면 시간 증폭기는 해당 이득 (>32)만큼 증폭시켜 MUX 로 내보낸다. MUX 는 “Sel”신호에 따라 해당 시간 증폭기의 출력(CAO[n], CBO[n])을 FTDC 의 입력에 보낸다. “Sel” 신호는 플립플롭에 저장된 값이 ‘1’에서 ‘0’으로 바뀔 때 ‘10’DET 회로에서 생성한다. CTDC 의 ( $\tau_{d,r} - \tau_{d,l}$ )는 10ps 이고 32 단을 연결하여 제안한 시간 디지털 변환기의 입력 범위는 320ps 이다. 입력 범위는 단수가 많아질수록 넓어지겠지만 시간 디지털 변환기 동작에 필요한 범위만을 고려하여 5bit 까지만 설계했다.

### 4. 교정 회로

제안한 시간 디지털 변환기에 발생하는 문제점으로는 첫

번째로 버니어 시간 증폭기 이득 선형성 문제가 있다. FTDC 지연단은 CTDC 에서와 같은 지연 차를 갖는 버퍼를 사용하기 때문에 2 단 버니어 시간 증폭기의 이득이 버니어 시간 증폭기 범위 안의 모든 지점에서 32 로 일정하면 FTDC 도 CTDC 와 마찬가지로 5bit 만으로도 충분하다. 하지만 버니어 시간 증폭기 이득이 완전히 선형적이지 않기 때문에 5bit 만으로는 남은 시간 차를 정확히 양자화하지 못한다. 이를 해결하기 위하여 FTDC 지연단에 2bit 를 추가해 위아래로 지연단을 구성해 초과되는 부분까지도 모두 양자화 하여 버니어 시간 증폭기 이득 선형성 문제를 해결한다[1]. 이 구조는 그림 4 에 나타났다.

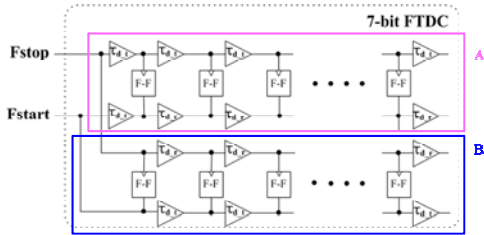


그림 4. FTDC 교정회로 구조도

그림 4 의 B 는 시간 증폭기 이득이 오프셋 등에 의해 음수 값을 가질 경우를 고려해 설계한 부분이다. A 와 B 의 지연단 개수는 7bit 이내에서 시간 증폭기의 최대 오프셋 값을 고려하여 나눠 준다. 그 다음 7bit 로 양자화된 값은 다시 보정되어 실제 비트수인 5bit 로 출력된다. 이에 대한 개념도는 그림 5 에 나타났다[1].

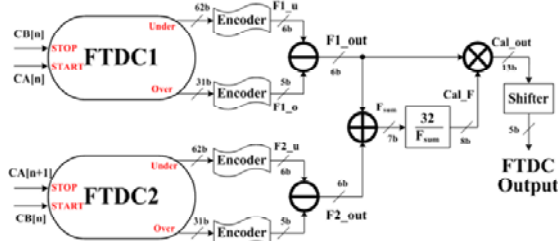


그림 5. 전체 교정회로 블록도

두번째로 버니어 시간 증폭기 자체의 오프셋 문제점이 있다. START 와 STOP 이 입력되고 최종 출력이 산출될 다음 MUX 의 “Sel”신호를 저장하고 해당 버니어 시간 증폭기의 입력에 동일한 신호를 인가하여 오프셋을 측정하여 최종 출력에서 보정해 준다.

### 5. 모의실험 결과

제안한 시간 디지털 변환기에 대한 검증을 위하여 SPICE 를 사용해 모의실험을 수행하였다. 그림 6 의 (a)는 CTDC 에서 START 가 STOP 을 따라 잡았을 때 버니어 시간 증폭기의 입력이고, (b)는 출력, 그리고 (c)는 CTDC 에서의 플립플롭의 출력(CQ)과 ‘10’DET 의 출력(Sel) 신호이다.

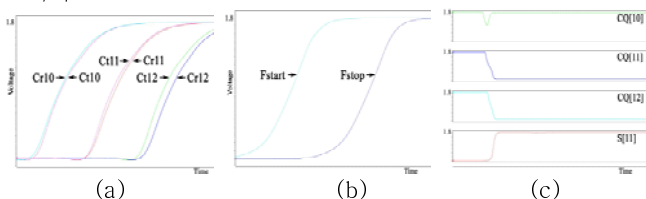


그림 6. (a) CTDC 의 출력 파형 (b) FTDC 입력 파형 (c) CTDC 의 제어 신호들

그림 6 은 동작의 한 예로 두 입력 시간 차이를 103ps 로 주었을 경우  $Ct10-Cr10=3ps$  이 버니어 시간 증폭기를 지나 113.19ps 로 증폭되는 것을 보여준다. 평균 해상도를 알기 위해 두 입력 차를 바꿔가며 아래 표 1 과 같은 결과를 얻었다.

표 1. CTDC 와 FTDC 의 최종출력

시간차(ps)	CTDC	FTDC1	FTDC2	최종출력
109	01011	100100	000111	11011
109.3	01011	100100	000110	11011
109.6	01011	101000	000101	11100
109.9	01011	110000	000010	11111
110.2	01100	000010	101010	00001
110.5	01100	000011	101010	00010
110.8	01100	000011	101000	00010
111.1	01100	000100	100110	00011
111.4	01100	000101	100100	00100
111.7	01100	000110	100010	00101
112	01100	000111	100001	00110

시간 디지털 변환기의 해상도는 아래 식(2)와 같다.

$$(\tau_{d-r} - \tau_{d-t}) / (\text{시간 증폭기 이득}) \quad (2)$$

해상도를 계산해 보면  $\tau_{d-r} - \tau_{d-t}$  는 10ps 이고 버니어 시간 증폭기 이득은 32 이므로 약 0.3125ps 가 된다. 본 연구에서는 약 0.59ps 의 매우 높은 해상도를 확인할 수 있었다. 표 1 을 통하여 버니어 시간 증폭기 이득 문제가 크더라도 교정 회로를 통하여 보정 되는 것을 확인할 수 있다. 또한 CTDC 는 매우 정확한 결과를 나타내었다. 표 1 은 가장 오차가 심한 경우의 데이터이다.

### 6. 결론

본 논문에서는 Coarse-Fine 구조의 10bit 시간 디지털 변환기를 제안 하였다. CTDC 에서 두 입력 시간 차이를 10ps 단위로 디지털 변환을 하고 시간 차이가 10ps 이하가 되었을 때 시간 증폭기를 이용해 증폭하였다. 시간 증폭기는 두 개의 입력이 증폭된 값을 FTDC 의 입력으로 보내 10ps 단위로 디지털 변환을 하여 훨씬 높은 해상도를 얻을 수 있었다. CTDC 와 FTDC 모두 버니어 라인으로 설계했기 때문에 기존의 Coarse-Fine 시간 디지털변환기에서 회로의 성능을 크게 좌우 했던 버퍼 지연시간에 의한 해상도의 한계점을 없앨 수 있었다. 시간 증폭기의 이득과 회로 자체의 부정합에 의한 문제점들을 교정 회로를 사용해 줄임으로써, 훨씬 높은 수준의 시간 디지털변환기 해상도를 구현할 수 있었다. 본 연구는 ADPLL 등 시간 디지털변환기가 필요한 시스템의 성능 향상에 크게 기여할 것으로 예상된다.

본 연구는 한국전자통신연구소의 지원을 받았으며, CAD Tool 은 IDEC 의 지원을 받았습니다.

### 참고문헌

- [1] M Lee and Asad A. Abidi, "A 9b, 1.25ps Resolution Coarse Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue," IEEE JSSC, vol. 43, no. 4, pp. 168 - 169, June 2007.
- [2] Jongsuk Lee and Yong Moon, "A study on 2-stage Time Amplifier using vernier delay," IEK conf. vol. 32 no. 1, pp. 419-420, June 2009.