

단열회로를 이용한 저전력 캐시메모리의 설계

신 영 준, 문 용
 숭실대학교 전자공학과

요약

Cache memory is important macro block and determines the performance of Microprocessor. The adiabatic low-power cache memory is designed based on ECRL circuits except the SRAM storage cell array. Proposed cache memory is also optimized for the adiabatic Microprocessor.

Simulation results show that the power consumption of the adiabatic cache memory is lower power consumption compared to a conventional CMOS cache memory. When the memory utilization grows, the energy is reduced by a factor of 2.23. The proposed adiabatic cache memory is applicable to low-power adiabatic Microprocessor or other adiabatic digital logic.

1. 서론

고성능 마이크로프로세서에서 캐시메모리는 매우 중요한 기능을 하며 프로세서의 동작성능을 결정하는 중요한 매크로 블록이다. 현재의 대부분의 캐시메모리들은 다양한 알고리즘을 이용한 설계방식이 제안되었고 성능의 향상을 가져왔지만 캐시의 크기가 커지면서 저장셀에서 소모하는 전력문제가 커지고 있다.

캐시메모리는 작고 빠른 참조시간을 갖는 대신 데이터의 저장을 위해서 SRAM을 사용하고 많은 수의 어드레스를 처리하는 디코더블록 등에서 전력소모가 심하다고 할 수 있다. 본 논문에서 제안한 캐시 메모리는 가능한 전력소모를 줄이기 위해 캐시 메모리를 구성하는 어드레스 디코더, 데이터의 입출력을 위한 버퍼를 에너지 재활용이 가능한 단열회로를 이용하여 설계하였다. 또한, 동작속도에서 단열회로에 의한 지연을 줄이기 위해서 1-clock(4-phase) 내에서 캐시메모리의 Hit 또는 Miss동작이 가능하도록 하였다. 단열회로를 이용한 마이크로프로세서와의 통합을 고려하여 1-clock 내에서 응답이 가능한 직접매핑방식의 명령어/데이터를 위한 캐시메모리를 설계 하였다. 전력감소 효과를 살펴보기 위해서 기존의 CMOS회로만을 이용한 캐시메모리와 에너지 재활용을 비교함으로써 단열회로를 사용한 다른 시스템과의 효율성을 검증하였다.

단열회로를 이용한 캐시메모리는 기존의 CMOS 회로만을 이용한 캐시메모리보다 낮은 전력소모를 보였으며 적응률이 높아질수록 더욱 적은 전력소모를 나타내었다. 단열회로를 이용한 시스템을 설계할 경우 본 논문에서 제안한 캐시메모리는 시스템의 성능향상과 전력소모를 감소시킬 수 있다.

2. 단열회로를 이용한 저전력 캐시메모리의 설계

단열회로를 이용한 캐시메모리의 설계에서 여러 가지 단열회로 중에서 ECRL[4] 형태의 단열회로를 사용하였다. ECRL 형태의 단열회로는 높은 주파수에서도 비교적 적은 전력을 소모하기 때문에 저전력 캐시메모리의 설계에 적합하다. 적용한 마이크로프로세서의 구조가 RISC 형태이므로 캐시메모리는 명령어와 데이터를 위한 캐시메모리가 별도로 사용된다. 캐시메모리는 어드레스를 처리하는 디코더 블록, Hit 또는 Miss를 판별하기 위한 태그값을 비교하는 CAM(Content Addressable Memory), 명령어 비교 데이터를 저장하는 SRAM array로 구성된다. 그림 1에 제안하는 CAM의 기본구조를 나타내었다.

워드라인을 통해서 SRAM 형태의 저장셀에 데이터가 저장되고 Bit 라인으로 태그값이 들어와 저장된 데이터와 태그값을 비교하게 된다. 저장된 데이터를 비교하기 전에 Match 라인은 "high"로 precharge 된다. 저장된 데이터와 Bit 라인으로 들어온 태그값이 서로 같을 경우 좌측의 직렬로 연결된 두 개의 NMOS M3, M4 중에서 하나의 NMOS 만 turn-on 되기 때문에 precharge 되어있던 Match 라인은 "high"의 상태로 남아있어 hit가 발생한다. 반대의 경우로 저장된 데이터와 태그값이 서로 다를 경우 직렬로 연결된 두 개의 NMOS는 모두 turn-on 되기 때문에 precharge 되어있던 Match 라인은 "low"로 떨어지게 되면서 miss가 발생하는 구조로 설계하였다.

캐시메모리를 구성하기 위해서는 hit 또는 miss의 판별을 위한 CAM array 이외에 명령어 또는 데이터의 저장을 위한 SRAM array 가 필요하다. 또한 저전력 단열 마이크로프로세서와의 통합을 위해서는 전원 클럭의 위상을 고려한 설계가 필요하다. 본 논문에서 사용된 캐시메모리는 직접매핑방식의 캐시메모리를 사용하기 때문에 하나의 데이터는 특정한 위치에만 저장되게 된다. 캐시에서 hit 가 발생하였을 경우 해당되는 주소에 저장되어있던 SRAM의 데이터를 출력으로 내보내게 된다. 그림 2에 저전력 캐시메모리의 전체 블록 다이어그램을 나타내었으며 디코더, CAM array, SRAM array 및 ECRL buffer로 구성된다.

3. 실험결과

단열회로를 이용한 저전력 캐시메모리는 0.35 μ m CMOS 공정을 사용하여 설계하였으며 HSPICE를 사용하여 모의실험을 수행하였다. 기존의 CMOS 회로를 이용한 캐시메모리에서 단열회로를 적용한 블록은 제거하고 static 회로를 추가하여 에너지 소모를 비교하여 보았다. CAM array도 단열회로를 적용해 보았으나 별효과가 없었다.

그림 3은 설계한 저전력 캐시메모리의 동작결과를 SPICE를 통하여 검증한 것이다. 저장셀을 제외한 모

든 회로는 단일회로를 사용하였다. 실제 프로세서의 동작과 유사하도록 메모리참조를 쓰기과 읽기로 구분하고 Hit와 Miss를 나누어 실험하였다. 태그값은 $(11111\ 11110)_2$ 를 사용하였고 64번째 어드레스를 사용하였다. 캐시메모리는 precharge 신호가 발생할 때마다 태그값과 데이터 값을 비교한다. 만약 CAM array 중에서 일치하는 값이 발견되면 match 신호는 high 신호가 발생하고 Hit 되었다는 것을 알 수 있다.

표 1은 저전력 캐시메모리와 static 캐시메모리의 에너지소모를 측정된 결과이다. 전체 캐시메모리의 사용률이 25%이며 hit ratio 66% 인 경우, 사용률이 50%이며 hit ratio가 66% 일때 에너지 소모를 SPICE를 통하여 측정하였다.

표 1 Static VS. ECRL 캐시메모리의 메모리 사용률에 따른 에너지 비교

| 캐시메모리 종류 | hit ratio [%] | 메모리 사용률[%] | Energy[pJ] |
|----------|---------------|------------|------------|
| STATIC | 66 | 25 | 183 |
| | | 50 | 401 |
| ECRL | 66 | 25 | 175 |
| | | 50 | 180 |

메모리 사용률이 많지 않을 경우 static 방식과 ECRL 방식의 캐시메모리의 에너지 소모는 적은 차이를 보인다. 하지만 메모리의 사용률이 높아지면서 ECRL 형태의 캐시메모리에서 2.23배의 에너지 이득을 볼 수 있었다. Static 캐시메모리는 SRAM array의 전원으로 DC를 사용하였고, 메모리 사용률이 늘어감에 따라서 많은 전력을 소모하는 원인이 되었다. 하지만 ECRL 형태의 캐시메모리는 sense amplifier 등에 AC 전원을 사용하였고 static 회로보다 많은 에너지 이득을 얻었다.

본 논문에서 설계한 ECRL 캐시메모리는 기존의 회로보다 적은 에너지 소모를 보였으며 저전력 단일 시스템과의 통합 면에서 유용하다. 저전력을 위한 단일 시스템에 대한 관심이 높아지고 있는 상황에서 고급 기능을 갖는 블록을 단일회로를 이용하여 구현한 것은 단일회로를 기반으로 한 저전력 시스템의 가능성을 증가시켜주며 저전력 단일 시스템의 속도와 성능의 향상을 가져올 것이다. 본 연구에 사용된 CAD Tool은 IDEC의 지원을 받았다.

참고 문헌

1. Smith, A. J. "Cache memories," Computing Surveys 14:3, pp 473~530, 1982
2. Silberschatz, A., P. Galvin :Operating System Concepts", Addison-Wesley, Reading, MA. 1994
3. Wilkes, M. "Slave memories and dynamic storage allocation," IEEE Trans. Electronic Computers EC-14:2 pp. 270, 1965
4. J. S. Denker, "A review of adiabatic computing," IEEE Symp. on Low Power Electronics, pp. 94~97, 1994.
5. R. T. Hinman and M. F. Schlecht, "Power dissipation measurements on recovered energy logic," in Symp. on VLSI Circuits, pp. 19~20, 1994.

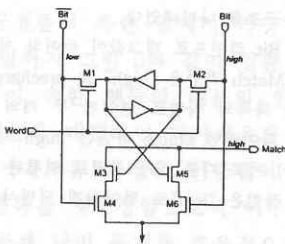


그림 1 설계한 CAM 셀의 구조

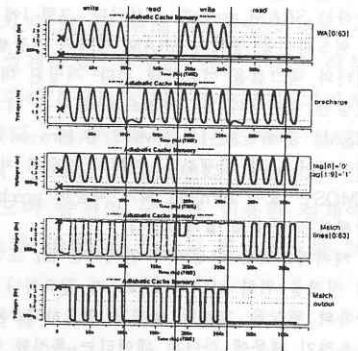


그림 3 저전력 캐시메모리의 동작결과

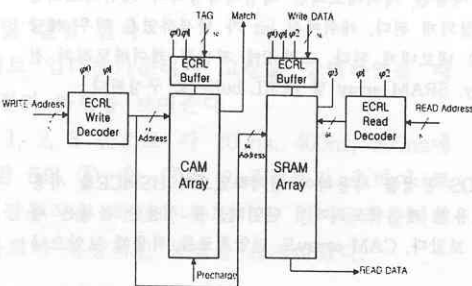


그림 2 저전력 단일 캐시메모리의 전체 블록도