

240 Hz 주파수 해상도와 낮은 위상잡음 특성을 가지는 광대역 디지털 제어 LC 발진기 연구

전 병 건, 문 용

숭실대학교 전자공학과

전화: (02)825-8108, E-mail: eoenqudrjs@ssu.ac.kr

A Study on Wide Bandwidth Digitally Controlled Oscillator with 240 Hz Frequency Resolution and Low Phase Noise

Byeung - geon Jeon, Yong Moon

Department of Electronic Engineering

Soongsil University

요 약

ADPLL에서 가장 중요한 구성 요소를 이루는 LC-디지털 제어 발진기(DCO)를 1.8 V, 0.18 μm CMOS 공정으로 설계하였다. 제안된 DCO는 넓은 주파수 튜닝범위를 가지기 위해 NMOS 코어를 사용하였고, 높은 주파수 해상도를 얻기 위해 온/오프 스위칭 커패시턴스 차이가 수십 aF인 PMOS 버랙터 쌍과 커패시터의 요소를 줄이기 위한 구조변경 방식인 커패시터 축퇴(capacitive degeneration)를 이용하였다. DCO의 중심 주파수는 3.6 GHz, 주파수 제어범위는 1.95 GHz이며, 파인(Fine) 튜닝 뱅크에서 최소 240 Hz의 높은 주파수 해상도를 가진다. 또한 전류 바이어스를 위한 NMOS 트랜지스터 어레이를 사용하여 파인 튜닝 범위와 코어의 전류 소모를 제어할 수 있었다. 모의실험 시 3.6 GHz 출력 주파수와 1MHz 오프셋에서 -125.5 dBc/Hz 이하의 위상잡음 특성을 가지며, 소모 전류는 NMOS 트랜지스터 어레이를 스위칭해서 5.73 mA ~ 7.9 mA로 조절할 수 있다.

Abstract

The LC-based digitally controlled oscillator, a vital component of the all digital phase locked loop (ADPLL), is designed using 0.18 μm CMOS process with 1.8 V supply. The NMOS core is used to realize a wide tuning range, and the PMOS varactor pair that has the unit switchable capacitance of a few aF and the capacitive degeneration as a mechanism to shrink the capacitive element are adopted to obtain the high frequency resolution. It has a center frequency of 3.6 GHz, a tuning range of 1.95 GHz and a high frequency resolution of a minimal 240 Hz. Also the fine tuning range and the current consumption of the core could be controlled by using an array of NMOS transistors for current biasing. It has the simulated phase noise of -125.5 dBc/Hz at 1MHz offset frequency from 3.6 GHz and the consumed current is adjustable between 5.73 mA and 7.9 mA by switching an array of NMOS transistors.

Keywords : DCO, Capacitive Degeneration, Frequency Resolution, Low Phase Noise, Wide Tuning Range

I. 서 론

ADPLL 같은 주파수 합성기는 모든 RF 무선 시스템 응용에 사용되는 가장 핵심적인 블록이다. ADPLL 설계에 있어 디지털 필터에 의해 계산된 주파수 제어 워드(FCW)에 비례하는 주파수를 생성하는 DCO는 가장 중요한 블록들 중에 하나이다.

요즘 GSM/UMTS와 같은 무선 통신 시스템의 스펙 요구사항이 엄격한 위상잡음 특성과 고해상도의 매우 미세한 주파수 간격을 요구하고 있으며, 더욱이 넓어진 주파수 대역과 다른 무선 통신 표준들을 동시에 다루어야 하므로 넓은 범위의 주파수 튜닝이 가능해야 한다.

이러한 DCO의 중요한 성능 요구사항 중 넓은 주파수 제어 범위를 얻기 위해 N-코어 DCO를 제안하였다.

또한 이전까지 높은 주파수 해상도를 얻기 위해 DCO 탱크에서 커패시터의 요소를 줄일 수 있는 방법으로 커패시터 분할 회로망이나 시그마 델타 변조기 회로를 파인 튜닝 뱅크에 적용했었다^{[1][2]}. 하지만 커패시터 분할 회로망은 부정합과 기생 커패시턴스들이 설계에 있어 견고성과 정밀함을 제한하며, 주파수 디터링(Dithering) 신호를 시그마 델타 변조기에 적용하는 방법도 회로의 복잡성과 전력소모를 상당히 증가시킨다. 더욱이 높은 오프셋 주파수에 원치 않는 노이즈 성분을 증가시켜 위상잡음 특성의 저하를 야기한다. 본 논문은 커패시터의 요소를 줄이기 위한 방식으로 커패시터 축퇴를 이용하여 매우 미세한 튜닝을 실현하였다^[3]. 마지막으로 위상잡음 특성을 향상시키기 위해 노이즈 필터링 방식을 적용하였다^[4].

본 논문에서는 고해상도에 낮은 위상잡음 특성, 넓은 주파수 튜닝 범위를 가지는 최적화된 DCO를 제안하고 Cadence Virtuoso Spectre로 설계 및 검증하였다.

II. 본 론

1. 디지털 제어 LC 발진기의 설계

그림 1은 본 논문에서 제안하는 LC-DCO에 대한 블록도이다. DCO는 3개의 뱅크로 구성되어 있으며 넓은 주파수 튜닝 범위를 얻기 위해 N-코어를 사용하였다. 인덕터는 차동 코일 형태를 사용하였다. 이것은 작은 크기를 가지며 높은 유효 인덕턴스와 Q특성을 가지므로 위상잡음 특성을 향상시킨다. 전류 미러(Mirror) 회로에 R_f 와 C_f 로 구성된 저주파수 필터는 100 kHz 이상의 오프셋 주파수에서 낮은 위상잡음을 보장하며, 접지와 연결된 인덕터(L_x)는 발진 주파수에서 멀리 떨어진 주파수에서 노이즈를 증가시키는 두 번째 하모닉스(Harmonics)로부터 발생하는 효과를 억제하여 DC 전력의 효율을 향상시킨다^[4].

높은 주파수 해상도를 실현하기 위해 파인(Fine) 튜닝 뱅크를 LC 탱크에서 NMOS 스위칭 페어의 소스로 이동시켰다. 즉, LC 탱크의 손실을 보상하기 위해 사용된 부성저항에 병렬로 작은 리액턴스 성분을 추가해서 MN1-MN2의 드레인에서 보이는 임피던스를 변경한 것으로 이를 커패시터 축퇴라고 한다^[3].

$$\text{Shrinking Factor}(\alpha) = \frac{(2\omega_0 C)^2}{g_m^2}, \quad 2\omega_0 C \gg g_m \quad (1)$$

$$C_{eg} = \frac{g_m^2}{(2\omega_0 C)^2} \cdot C = \frac{C}{\alpha} \quad (2)$$

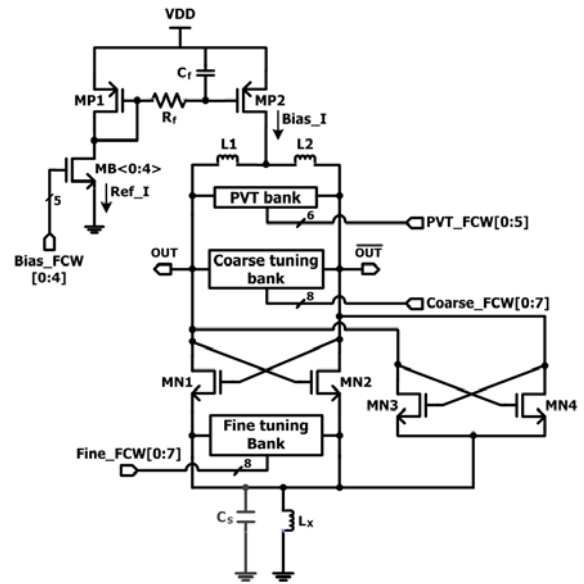


그림 1. 디지털 제어 LC 발진기의 블록도
Fig. 1. Block diagram of the LC-DCO

식-(1)은 커패시터 축퇴에 의한 커패시터 줄임 계수(Shrinking Factor)를 나타낸다. $2\omega_0 C$ 는 g_m 보다 매우 크고 일정하므로 줄임 계수는 실질적으로 g_m^2 에 반비례한다. 식-(2)는 M1-M2의 소스 사이에 커패시턴스(C)는 줄임 계수의 비율(α)만큼 감소하여 탱크에 반영(C_{eg})된다는 것을 보여준다.

발진을 유지하기 위해서는 부성저항($-2/g_m$)이 LC 탱크의 등가 병렬 저항과 같거나 작아야한다. 하지만 발진이 유지될 정도로 g_m 값을 증가시키면 줄임 계수가 작아지므로 탱크에서 이용 가능한 가장 작은 커패시터 요소를 크게 줄일 수 없다. 이로 인해 주파수 해상도는 떨어진다. 이러한 문제는 MN3-MN4로 구성된 부성저항을 하나 더 추가하여 전체 g_m 의 일부만 축퇴시켜 해결할 수 있다^[3].

가. 전류 바이어스를 위한 NMOS 트랜지스터 어레이
DCO 코어에 전류소모가 5비트 이진 가중치 NMOS 트랜지스터 어레이에 의해 제어될 수 있다. 또한, 줄임 계수의 값은 기준 전류에 따라 변하는 바이어스 전류에 의해 좀 더 다양하게 제어될 수 있다. 즉, 기준 전류에 의해 바이어스 전류를 변화시키면 g_m 이 바뀌므로 줄임 계수의 값도 달라진다. 만약 바이어스 전류가 증가하면 g_m 값이 증가하므로 줄임 계수는 감소하고 주파수 해상도는 낮아지게 되는 반면 파인 튜닝 범위는 넓어진다.

나. PVT/코어스(Coarse) 커패시터 뱅크
6 비트 PVT 커패시터 뱅크가 공정, 전압, 온도 변동에 따른 매우 큰 발진 주파수의 불확실성을 교정하기

위해 설계되었다. 또한 8비트 이진 가중치 코어스 커패시터 뱅크는 원하는 주파수 대역 및 채널 선택을 위해 설계되었다. 그림 2에 PVT와 코어스 뱅크에서 사용된 차동 스위칭 커패시터를 나타내었다. 이 구조는 스위치 M1에 다르게 연결된 MIM 커패시터와 노이즈나 오동작을 방지하여 주파수를 매우 안정하게 유지시켜주고 훌륭한 잡음내성(Noise Immunity)을 가지게 하는 두 개의 풀다운 트랜지스터로 구성되어 있다. 여기서 MIM 커패시터는 온/오프 사이에 큰 커패시턴스 차이를 가지므로 큰 주파수 간격을 얻게 해준다.

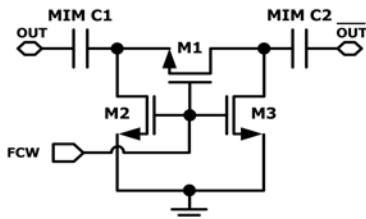


그림 2. 차동 스위칭 커패시터
Fig. 2. The differential switched capacitor

다. 파인(Fine) 버랙터 쌍 뱅크

파인 튜닝에 있어 훌륭한 선형성을 얻으면서 이진 스위칭 노이즈를 피하고 또한 제어를 위한 경로설정을 간단히 하기 위해 그림 3과 같이 256개의 동일한 버랙터 쌍으로 구성된 16 × 16 매트릭스 구조가 파인 버랙터 쌍 뱅크에 사용되었다.

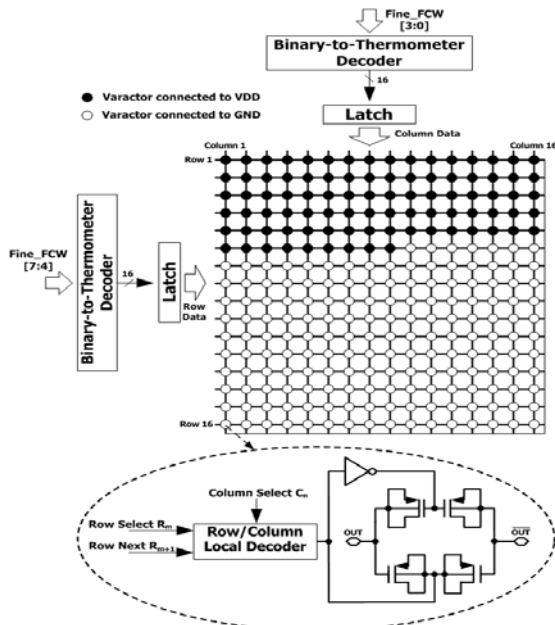


그림 3. 파인 튜닝 버랙터 쌍 뱅크
Fig. 3. Fine tuning varactor pair bank

2~4개의 버랙터 쌍들이 동시에 스위칭이 일어나면 글리치(Glitch)가 생기는데 이를 막기 위해 온도계 방식의 디코더를 사용하였다. 래치는 온도계 방식의 디코더

에서 출력된 튜닝정보가 서로 다른 전파 지연 시간을 가져서 생겨나는 글리치를 제거하기 위해 사용하였다. 버랙터 쌍들은 가로/세로 로컬 디코더에 의해 온/오프 스위칭을 한다^[5].

그림 3에서 사용된 버랙터 쌍은 낮은 1/f 잡음 특성을 갖는 PMOS로 구현한다. 온/오프 스위칭 커패시턴스 차이를 최소화 하기위해 PMOS 버랙터의 축적과 반전영역 사이에 커패시턴스 차를 이용하였다^[6]. 이것은 PMOS 버랙터에 비해 10배 이상 작은 ΔC를 가진다.

III. 모 의 실험 결과

LC-DCO를 TSMC 0.18 μm CMOS 공정으로 설계하였고 이를 Cadence Spectre로 검증하였다.

그림 4는 기준 전류 값에 대한 파인 튜닝 범위를 그래프로 나타내었다. 그림을 보면 알 수 있듯이 기준 전류(바이어스 전류)와 발진 주파수 대역이 증가할수록 튜닝 범위는 늘어난다. 2.6 GHz 대역에서 기준 전류가 0.5 mA일 때, 63 kHz의 주파수 튜닝 범위를 가지며 이때 주파수 제어워드 당 주파수 간격은 최소 240 Hz이다. 또한 기준 전류가 1 mA 이상이 되면 파인 튜닝 범위가 거의 증가하지 않는 것을 알 수 있다. 전류 소모를 최적화하면서 파인 튜닝 범위를 변화시키기 위해 기준 전류가 0.5 ~ 1.05 mA 사이에서 제어되도록 NMOS 트랜지스터 어레이를 설계하였다.

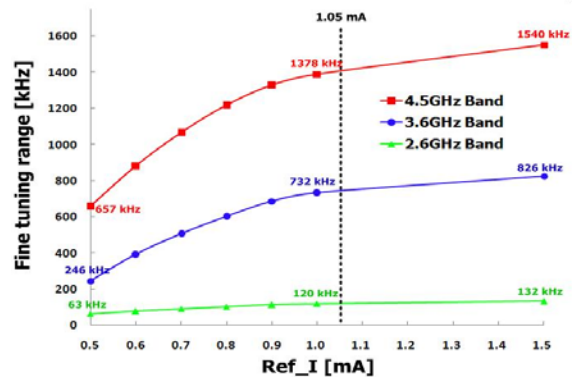


그림 4. 기준 전류 값에 대한 파인 튜닝 범위
Fig. 4. The fine tuning range versus Ref_I

그림 5는 2.6 GHz 대역에서 기준 전류가 1 mA가 흐를 때, 파인 주파수 제어워드 당 주파수 간격(a)과 주파수 제어워드에 대한 파인 튜닝 범위 및 선형성(b)을 그래프로 나타내었다. 그림 5(a)와 같이 제어워드 당 458 Hz ~ 482 Hz의 주파수 간격을 가지며, 제어워드 당 주파수 해상도는 다르지만 전체적으로 튜닝 범위는 선형적으로 증가하는 것을 그림 5(b)를 통해 알 수 있다.

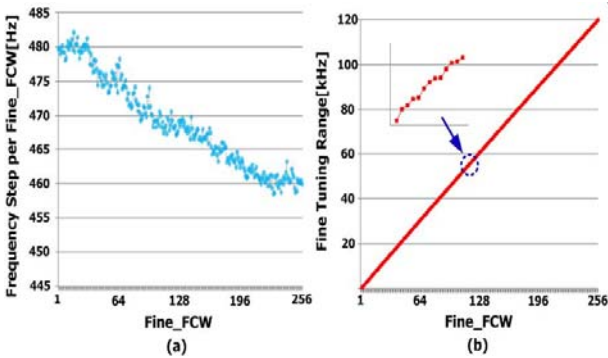


그림 5. 파인 주파수 제어워드에 대한 (a)주파수 간격, (b)파인 튜닝 범위 [2.6 GHz 대역, 기준 전류=1mA]
 Fig. 5. (a)Frequency Resolution(Step),(b)Fine tuning range versus Fine_Frequency Control Word (FCW) [2.6 GHz Band, Ref_I=1 mA]

그림 6은 제안된 DCO가 모의실험 시 3.6 GHz 출력 주파수, 1 MHz 오프셋에서 -125.5 dBc/Hz 이하의 우수한 위상잡음 특성을 가진다는 것을 보여준다.

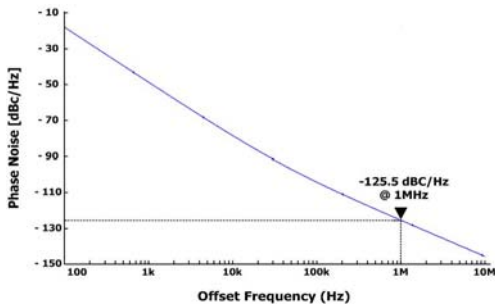


그림 6. 모의실험상의 위상 잡음 [발진 주파수=3.6 GHz]
 Fig. 6. Simulated phase noise property [$f_c=3.6$ GHz]

IV. 결 론

본 논문에서는 0.18 μm CMOS 공정으로 디지털 제어 LC 발진기를 제안하고 Cadence Spectre로 설계 및 검증하였다. 넓은 튜닝 범위를 가지기 위해 NMOS 코어를 사용하였고, 고해상도의 주파수를 얻기 위해 커패시터 축퇴방식과 LC가 수십 aF인 버랙터 쌍을 이용하였다. 또한 위상잡음 특성을 개선하기 위해 노이즈 필터링 방식을 적용하였다. 표 1은 제안된 LC-DCO의 기준 전류가 0.5 ~ 1.05 mA 일 때의 모의실험 결과 및 특성을 정리한 것이다. 튜닝 범위 중 PVT 튜닝 범위는 ± 700 MHz이며, 코어스 튜닝 범위는 약 500 MHz이다.

이번 연구에서 고해상도의 주파수 간격, 우수한 위상 잡음 특성 그리고 넓은 튜닝 범위가 가능한 최적화된 LC-DCO를 구현하였으며 이는 4세대 이동통신으로 불리는 IMT-Advanced 기술 중에 LTE (Long Term Evolution)의 응용에 이용될 수 있을 것으로 보인다.

표 1. 제안한 LC-DCO의 모의실험 결과 및 특성 요약
 Table1. Performance summary of the proposed DCO

Parameter	Simulation Result
DCO Frequency	2.62 ~ 4.57 GHz
Tuning Range	1.95 GHz (54 %)
Fine Tuning Range	62 kHz ~ 1.4 MHz
Fine Frequency Resolution	240 Hz ~ 5.2 kHz
Power Supply	1.8 V
Consumed Current	5.73 ~ 7.9 mA
Power Consumption	6.68 ~ 12.1 mW
Phase Noise @ 1MHz offset	- 125.5 dBc/Hz
FOM(Figure Of Merit)	- 188 dBc/Hz
Technology	TSMC 0.18 μm CMOS

감 사 의 글

본 연구는 한국산업기술평가원의 IT 산업원천기술개발 사업의 일환으로 수행하였음. [2009-F-033-01, 메타 전자파 구조를 이용한 전파(RF) 스펙트럼 특성 개선 기술 연구]

참 고 문 헌

- [1] U. Vollenbruch et al., "A 9GHz Dual-Mode Digitally Controlled Oscillator for GSM/UMTS Transceivers in 65nm CMOS," IEEE Asian Solid-State Circuits Conference(ASSCC '07), pp. 432-435, Nov. 2007.
- [2] R. Staszewski et al., "A Digitally Controlled Oscillator in a 90nm Digital CMOS Process for Mobile Phones," IEEE J. Solid-State Circuits, vol.40, no. 11, pp. 2203-2211, Nov. 2005.
- [3] Luca Fanori et al., "3.3GHz DCO with a Frequency Resolution of 150Hz for All-Digital PLL," IEEE International Solid-State Circuits Conference, pp. 48-51, Feb. 2010.
- [4] E. Hegazi et al., "A Filtering Technique to Lower LC Oscillator Phase Noise," IEEE Journal of Solid-State Circuit, pp. 1921-1930, Dec. 2001.
- [5] J. Lin et al, "A PVT Tolerant 0.18MHz to 600MHz Self-Calibrated Digital PLL in 90nm CMOS Process," ISSCC Dig. Tech. Papers, pp. 488-489, Feb. 2004.
- [6] Sang-Sun Yoo et al., "A 5.9 GHz LC-Based Digitally Controlled Oscillator with High Frequency Resolution Using Novel Varactor Pairs," 2009 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 195-198, 2009.