

# 2GSPS Pipelined Phase to Amplitude Converter(PAC) for Low power ROM-less DDFS

방성훈, 문용  
 숭실대학교 전자공학과

## 요약

This paper proposes pipelined Phase to Amplitude Converter(PAC) for ROM-less DDFS. The main advantages are low power dissipation and high speed operation comparing with conventional PAC. This paper adopts pipelined architecture and polynomial theory to improve speed. The proposed PAC is designed using 0.18  $\mu\text{m}$  CMOS process. The maximum clock rate is 2GHz.

## 1. 서론

기존에 주파수 발생 및 주파수 합성을 위하여 많이 사용되었던 PLL(Phase Locked Loop)은 locking 시간이 소요되므로 이것을 대체하기 위하여 디지털 방식인 DDFS(Direct Digital Frequency Synthesizer)가 사용되고 있다.

현재 대부분의 DDFS가 ROM-based 방식을 사용하고 있지만 이러한 방식은 파워소모가 매우 클 뿐만 아니라 해상도를 높이는 데에 한계가 있다.

따라서 본 논문은 기존 ROM-based DDFS의 단점을 보완하기 위하여 전력소모가 매우 적으며 큰 크기의 ROM을 필요로 하지 않는 ROM-less DDFS를 위한 PAC를 제안한다. 차량용 레이더에서는 DDFS가 필요하고 전력소모도 적어야 한다. 이러한 요구사항을 만족하는 DDFS를 구현하기 위해서 파이프라인구조를 적용 하였으며 이를 통하여 고속의 저전력 ROM-less DDFS의 구현이 가능하였다.

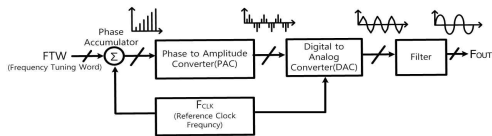


그림 1 Block diagram of the Conventional DDFS

## 2. PAC의 구조

### A. DDFS의 구조

DDFS는 PA(Phase Accumulator), PAC, DAC(Digital to Analog Converter)로 이루어져 있다. 원하는 주파수를 생성하기 위하여 FTW(Frequency Tuning word)를 입력하면 PA에서 FTW만큼의 값을 누적하여 위상값을 내보내 PAC의 입력이 되어 해당되는 위상값을 진폭의 값으로 변환한다. 이러한 디지털 값은 마지막 DAC에 의하여 정현파 형태로 최종 출력된다.

### B. 기존의 ROM-based PAC

현재 대부분의 DDFS에서는 ROM-based PAC를 사용하고 있다. PA를 출력(위상값)이 들어오면 ROM에서 해당

위상에 대한 사인값을 출력한다. 사인값은 미리 ROM에 저장되어 있다. 이러한 방식은 속도가 빠른 장점이 있지만, 전력소모가 매우 크고 ROM Table의 크기가 상당히 크기 때문에 비효율적이다.

### 3. PAC의 설계

본 논문은 전력소모를 줄이기 위하여 ROM-less 방식 중 다항식을 이용한 근사(PA)법으로 사인값을 직접 계산한다. PA는 곱셈과 덧셈연산이 주를 이루는데 곱셈연산의 속도를 빠르게 하기 위하여 부분 곱 이론과 파이프라인구조를 적용하여 2GSPS의 연산이 가능하다.

#### A. 삼각함수의 근사

정현파의 출력을 내기 위하여 코사인2배 공식을 이용하였으며 코사인함수를 제곱에 의한 식으로 표현할 수 있다.

$$\cos 4x = 2\cos^2 2x - 1 = 1 - 8\sin^2 x (1 - \sin^2 x) \quad (1)$$

$$\cos 4x \approx 1 - 8x^2 (1 - x^2), \quad 0 \leq x \leq \frac{\pi}{8} \quad (2)$$

$$A1(x) = 1 - 8x^2 (1 - x^2) \quad (3)$$

위 식에서 알 수 있듯이 빠른 코사인 값을 계산하기 위하여 곱셈기의 성능이 가장 중요하다는 것을 알 수 있다. 그림 3은 전체 PAC의 블록도이다. 10 bit의 입력을 받아 상위 2 bit는 부호비트로 사용하고 나머지 8 bit로 연산을 진행한다. 파이프라인단도 그림에 표시하였다.

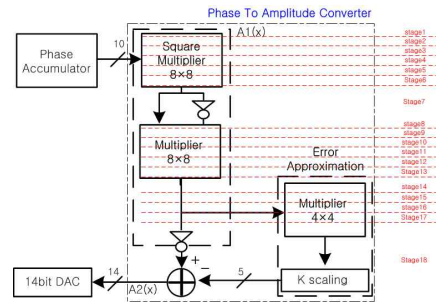


그림 3 PAC의 전체 블록도

#### B. 에리근사

8x8 승산기의 출력은 16 bit이지만, 다음 연산에서 상위 8 bit만 사용하기 때문에 이에 따른 오차가 생길 수 있다. 따라서 에리근사를 적용하였으며, 정현파와 가까운 값을 출력 할 수 있다.

#### C. Pipelined

ROM-less PAC의 단점인 속도를 보완하기 위하여 PAC 시스템의 전체에 18단 파이프라인을 적용하였다. 8x8 승산기는 6단계의 단으로 나누어 연산을 하고, 기타 인버터와

가산기의 경우에는 1번의 클록내에 연산이 가능하다. 18단의 파이프라인은 2GSPS의 속도를 내기 위한 최적의 파이프라인 단수이며 이로서 최종적으로 500ps의 클록에서 8x8 승산기의 결과를 얻을 수 있다.

D. 부분곱 이론

$$(H+L)^2 = H^2 \times 2^{H+L} + H \times L \times 2^L + L^2 \quad (4)$$

8x8 승산기를 한번에 계산하는 구조는 수백 MHz이상의 출력이 불가능하다. 따라서 8 bit의 입력을 분리하여, 4 bit 씩 부분 곱 이론을 적용하여 회로를 설계하여 고속 동작이 가능해졌다.

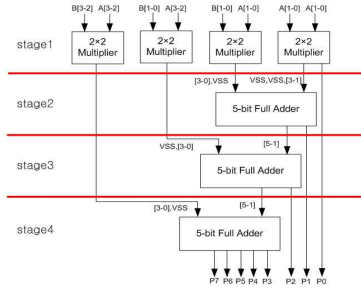


그림 4 Pipeline stage of 4x4 Multiplier

8x8 승산기 에서 6번의 단이 소요되는데, 이중 4 bit의 연산이 4번의 단에서 계산되고, 가산기에서 나머지 2번의 단이 소요된다. 4x4 승산기는 2x2 승산기 4개와 3개의 5 bit 전가산기(FA)로 구성된다. 5 bit 전가산기는 고속 동작을 위해서 Manchester CLA(Carry lookahead Adder)를 사용하였다.

4. Simulation

0.18um CMOS 공정을 사용하여 모의실험을 수행하였으며, spectre를 사용하여 결과를 확인하였다.

8x8 승산기의 출력은 최종 사인파형의 π/4의 값에 해당한다. 따라서 최종적인 사인파형을 얻기 위해서는 입력 10 bit 중 상위 2 bit를 MUX의 입력으로 사용하여 정현파를 생성할 수 있다.

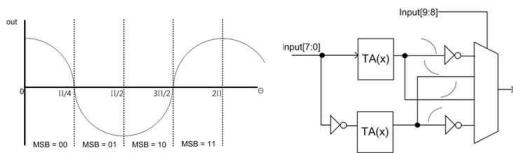


그림 5 사인파형을 만들기 위한 부호비트의 제어

A. 최종출력

그림 6은 최종 PAC 출력결과와 하위 3 bit의 파형이며 500ps의 클록에서 결과값이 출력되는 것을 알 수 있다.

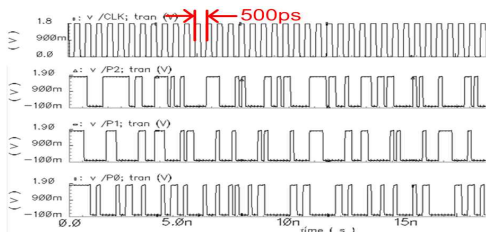


그림 6 최종 출력의 3 bit LSB 파형

그림 7은 Verilog 모의실험을 통한 최종결과 파형이다.

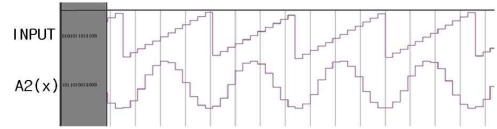


그림 7 FTW = Verilog를 이용한 64일 때의 출력파형 FTW가 64일 때의 PA의 결과가 입력으로 들어오며 A2(x)는 500ps의 클록에서 최종적으로 동작하는 PAC의 결과이다.

B. Layout

그림 8은 PAC와 DDFS의 최종 layout이며, PAC의 크기는 730 μm × 750 μm 이다.

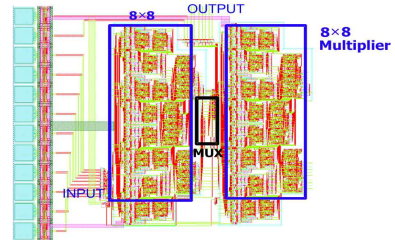


그림 8 PAC의 최종 Layout

기존의 연구결과와 표1에서 성능을 비교하였다.

표1 PAC의 성능비교

	[1]	[2]	[3]	proposed
Process	0.35 um	0.13 um	0.13 um	0.18 um
Methods	Polynomial	Polynomial	CORDIC	Polynomial
Resolution(bit)	13 bit	20 bit	12 bit	12 bit
Energy(mW/MHz)	0.1353	0.35	0.35	0.16
Max. clock-rates	100MHz	227MHz	1GHz	2GHz

5. 결론

저전력 고속의 PAC를 1.8 V, 0.18 μm CMOS 공정을 이용하여 설계하였다. 기존의 ROM-less PAC의 단점을 극복하여 파이프라이닝을 통하여 2GHz의 클록에서도 사용이 가능하다. 현재 칩 제작 중이며, 최종 칩의 동작 속도는 800 MHz정도로 예상하고 있다. 이러한 PAC는 고속 저전력 응용분야에 사용이 가능하며, 자동차 레이더 등에서 주파수 생성에 적용이 가능하다.

감사의 글

본 연구는 한국산업기술평가원의 IT 산업원천기술개발 사업[2009-F-033-01], 메타전자과 구조를 이용한 전파(RF) 스펙트럼 특성 개선 기술 연구의 일환으로 수행하였으며, CAD Tool은 IDEC에 지원을 받았습니다.

참고 문헌

1. Chua-Chin, "A 13-bit Resolution ROM-Less Direct Digital Frequency Synthesizer Based on a Trigonometric Quadruple Angle Formula", IEEE Trans, VLSI Syst., Vol.12, NO.9 SEPTEMBER 2004
2. Jian-Ming Huang, "A ROM-less Direct Digital Frequency Synthesizer Based on 16-Segment Parabolic Polynomial Interpolation", IEEE Trans, Circuits and Systems ICECS Sep. 2008
3. C. Y. Kang, "Digit-Pipelined Direct Digital Frequency Synthesis Based on Differentail CORDIC", IEEE Tran, Circuits Syt., Regular papers, Vol.53, No5, MAY 2006