

# 버니어 3단 시간 디지털 변환기의 연구

이종석 , 문 용

승실대학교 전자공학과

전화: (02)825-8108, E-mail : ljs1385@ssu.ac.kr

## A study on Vernier 3-stage Time-to-Digital Converter

Jongsuk Lee, Yong Moon

Department of Electronic Engineering

Soongsil University

### 요 약

공정에 제한받지 않고 높은 해상도를 얻을 수 있는 버니어 3-stage 시간 디지털 변환기(TDC)를 설계하였다. 제안하는 TDC는 기존의 시간 증폭기(TA)보다 높은 선형성과 넓은 입력범위를 갖는 버니어 시간 증폭기(VTA)를 사용하였다. 제안하는 TDC 또한 버니어 구조를 사용하였기 때문에 고급공정에 제한받지 않아도 높은 해상도를 얻을 수 있다. 제안한 3-stage TDC는 0.18 $\mu$ m CMOS 공정으로 설계 하였고, 전원 전압은 1.8V로 시뮬레이션 하였다. 전체 입력 범위는 320ps이고 전체 해상도는 11bit, 0.16ps 이다.

### Abstract

This paper proposes a new vernier 3-stage Time-to-Digital Converter(TDC) that has high resolution independent of technologies. The proposed TDC uses VTA(Vernier Time Amplifier) that has higher linearity and wide input range than conventional TA for resolution enhancement. The proposed TDC has high resolution adopting vernier delay line and could be implemented without using high-end process. The proposed vernier 3-stage TDC is designed in 0.18 $\mu$ m CMOS process and power supply is 1.8V. The simulation results show 320ps input range and 0.16ps time resolution with 11bit output.

**Keywords :** Time-to-Digital Converter(TDC), Time Amplifier(TA), Vernier line, CMOS

## I. 서 론

시간 디지털 변환기(TDC)는 All-Digital PLL (ADPLL)에서 위상 주파수 검출기와 전하펌프를 대체할 수 있는 블록으로 두 시간의 차이를 해당되는 디지털 값으로 바꿔주는 역할을 한다. ADPLL은 기존의 전하펌프 PLL에 비해 수동소자를 사용하지 않으며, 보다 작은 면적과 빠른 locking time, 그리고 공정변화에 쉽게 스케일링이 가능하다는 장점이 있다. TDC는 PLL의 기반의 고속 통신시스템에 사용되며, 점차 고해상도의 TDC에 대한 수요가 증가하고 있다. 하지만 두 시간차가 너무 짧으면 그 시간간격을 감지하기 어려워지기 때문에 시간 증폭기(TA)로 짧은 시간차를

증폭한 다음 시간 디지털 변환기에서 최종적으로 디지털 코드로 변환한다. 하지만 TA는 고급 공정을 기반으로 높은 해상도를 얻는 구조가 대부분이다. 그러나 버니어 지연을 이용하여 일반 공정에서도 높은 해상도를 얻을 수 있는 버니어 시간증폭기(VTA)를 사용 하였으며, 시간 디지털 변환기 또한 버니어 지연을 이용하였다. 해상도를 높이기 위해 TDC구조를 3단 구조로 설계하여 고해상도를 얻을 수 있었고, 이를 모의실험을 통하여 검증 하였다.

## II. 본 론

### 1. 버니어 지연단

가. 기존의 버니어 지연단

버니어 지연단은 TDC를 구현하는데 많이 사용되고 있는 방법이다<sup>[1]</sup>. 기본 구조를 그림 1.에 나타내었다.

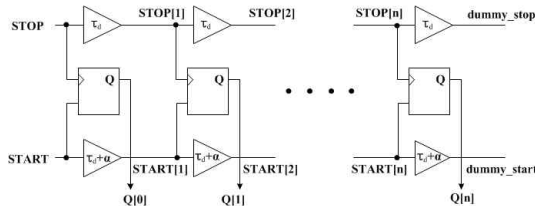


그림 1. 버니어 지연단 기본구조

STOP신호와 START신호 중 START신호가 먼저 입력이 된다. 하지만 STOP과 START의 시간차이는 START의 버퍼의 지연시간이 STOP 버퍼보다  $\alpha$ 만큼 더 크기 때문에 STOP과 START의 시간차이는 한단씩 지날때마다  $\alpha$ 만큼씩 줄어들게 된다. 이를 수식으로 표현하면 아래 식(1)과 같다.

$$\text{지연시간} = \tau_d + \alpha - \tau_d = \alpha \quad (1)$$

식(1)의 결과는 버니어 지연단의 해상도라 표현되며, 버퍼 한 개의 최소지연시간에 상관없이 해상도를 높일 수 있다. 실제 설계에서는 3단(Coarse TDC, Middle TDC, Fine TDC) 모두 10ps의 해상도로 설계 하였다.

#### 나. 전압 제어 버니어 지연단(VCVDL)

기존의 지연단은 일반 버퍼를 사용하였기 때문에 공정의 변화나 Layout에서의 오차를 보정해줄 수 있는 방법이 없었다<sup>[2]</sup>. 하지만 전압 제어 버퍼를 이용하여 칩 제작 후에도 밖에서 전압을 조절하여 VCVDL의 해상도를 제어할 수 있도록 설계하였다. 제안하는 전압 제어 버퍼는 그림 2.에 나타내었다.

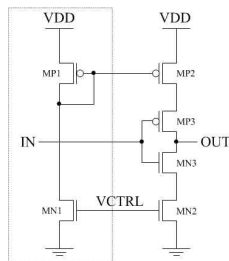


그림 2. 전압 제어 버퍼의 회로도

그림 2.에서 왼쪽의 MP1, MN1은 전류를 일정히 공급해주는 역할만 하므로 전체 VCVDL에 하나만 사용하도록 한다.

#### 2. 버니어 시간 증폭기(VTA)

기존의 시간 증폭기는 두 버퍼의 지연 시간에 따라 이득이 결정되기 때문에 일반 공정에서 지연이 큰 경우 이를 해결할 방법이 없었다. 이를 보완하기 위한 버니어 지연을 이용한 VTA를 사용 하였으며<sup>[3]</sup>, 그림 3.에 회로를 나타냈다.

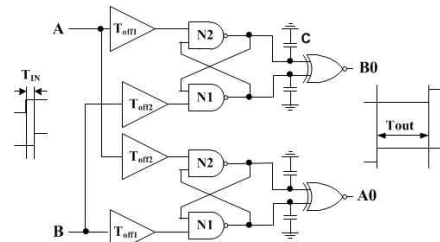


그림 3. 버니어 시간 증폭기의 회로도

선형성을 최대로 유지하면서 최종적으로  $\pm 60\text{ps}$ 의 넓은 입력범위와 VTA 하나당 8이상의 이득을 얻었다.

#### 3. 제안하는 버니어 3-stage TDC

버니어구조를 적용한 버니어 3-stage TDC 전체 블록도는 그림 4.와 같다.



그림 4. 버니어 3-stage TDC 블록도

Coarse TDC(CTDC)는 32단으로 설계하여 5bit의 해상도로 나타낼 수 있으며, 1단 VTA의 이득에 따라 Middle TDC(MTDC)와 Fine TDC(FTDC)는 3bit씩 표현할 수 있어 최종적으로 11bit의 해상도를 얻을 수 있다. CTDC의 블록도는 그림 5.와 같다

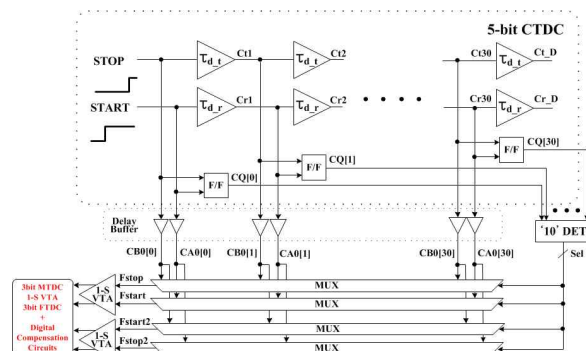


그림 5. Coarse TDC 블록도

CTDC와 MTDC, FTDC의 전체 구조는 같으며, 각 블록의 해상도 또한 10ps로 같다. 시간차를 갖는 두 입력 STOP과 START신호가 들어오면 CTDC에서 버니어 지연에 의해 각 단을 지날 때 마다 ( $\tau_{d_r} - \tau_{d_t}$ )만큼의 시간차이(10ps)로 START와 STOP의 시간차이가 줄어들게 된다. 두 신호의 시간차이가 CTDC의 해상도(10ps) 이하로 짧아지게 되면, VTA는 해당 이득(>8)만큼 증폭시켜 MUX로 내보낸다. MUX는 Sel신호에 따라 해당 시간 증폭기의 출력을 MTDC의 입력에 보낸다. Sel신호는 플립플롭에 저장된 값이 1에서 0으로 바뀔 때 '10'DET회로에서 생성한다. Delay Buffer 블록은 CTDC의 출력보다 Sel신호가 먼저 MUX에 입력되게 해준다. 최종적으로 보정회로를 포함하여 VTA를 4개만 사용하기 때문에 기존의 TDC 구조에 비해 면적의 큰 이득을 가질 수 있다. 제안한 시간 디지털 변환기의 입력 범위는 320ps이다. 입력 범위는 CTDC의 단수가 많아질수록 넓어지겠지만 시간 디지털 변환기 동작에 필요한 범위와 양자화 노이즈를 고려하여 5bit로 설계했다.

### 3. 디지털 교정회로

제안한 시간 디지털 변환기에 발생하는 문제점으로는 첫 번째로 VTA의 이득 선형성 문제가 있다. 이를 해결하기 위하여 MTDC와 FTDC의 VCVDL에 1bit를 추가하여 (3bit+1bit) VTA의 이득이 8보다 커졌을 경우에도 양자화 할 수 있도록 한다. 또한 음수 값이 나올 경우도 보정하기 위해 2bit의 VCVDL 블록도 추가하였다. 양자화한 값들은 교정회로를 이용하여 VTA의 이득을 보정하며, MTDC와 FTDC는 동일한 구조의 보정회로를 사용한다. 두 번째로 VTA 자체의 오프셋 문제점이 있는데 VTA의 입력에 동일한 신호를 인가하여 오프셋을 측정된 후 저장하여 최종 출력에서 보정해 준다. 최종적으로 MTDC, FTDC 모두 3bit의 값을 출력하게 된다<sup>[2]</sup>.

### III. 모의실험 및 결과

제안한 시간 디지털 변환기에 대한 검증을 위하여 SPICE를 사용해 모의실험을 수행하였다. 그림 8.(a)는 첫 번째 VTA의 입출력파형으로 9.7ps의 짧은 시간차가 첫 번째 VTA를 통과하여 103ps로 증폭되는 파형이고, 그림 8.(b)는 두 번째 VTA의 입출력 파형으로 4.3ps의 짧은 시간차가 두 번째 VTA를 통과하여 45ps로 증폭되는 것을 보여준다.

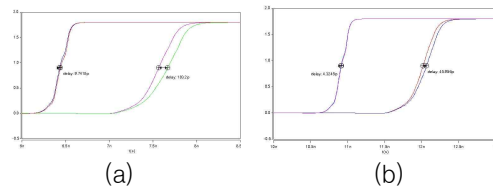


그림 8. (a) 첫 번째 VTA의 입출력 그래프

(b) 두 번째 VTA의 입출력 그래프

MTDC와 FTDC의 해상도는 식 (2)와 같다.

$$\text{VCVDL의 해상도} / \text{VTA의 이득} \quad (2)$$

3-stage TDC의 전체 해상도를 표 1.에 나타냈다.

표 1. 3-stage TDC 해상도

|      | 해상도                                     |
|------|---|
| CTDC | $\tau_{d_r} - \tau_{d_t} = 10\text{ps}$ |
| MTDC | $10\text{ps} / 8 = 1.25\text{ps}$       |
| FTDC | $1.25\text{ps} / 8 = 0.16\text{ps}$     |

표 2.는 입력 시간차를 10ps단위, 1.3ps단위, 0.2ps단위로 증가시키며 CTDC, MTDC, FTDC 회로의 해상도를 측정한 결과이다.

표 2. 3-stage TDC 최종출력

| 시간차(ps) | CTDC | MTDC | FTDC |
|---------|------|------|------|
| 0       | 0    | 0    | 0    |
| 10      | 2    | 10   | 4    |
| 20      | 3    | 5    | 10   |
| 30      | 4    | 7    | 9    |
| 40      | 5    | 7    | 6    |
| 50      | 6    | 9    | 11   |
| 51.3    | 6    | 10   | 10   |
| 52.6    | 6    | 12   | 7    |
| 53.9    | 6    | 13   | 6    |
| 55.2    | 6    | 5    | 8    |
| 56.5    | 6    | 6    | 3    |
| 56.7    | 6    | 7    | 7    |
| 56.9    | 6    | 7    | 10   |
| 57.1    | 6    | 7    | 11   |
| 57.3    | 6    | 7    | 5    |
| 57.5    | 6    | 8    | 9    |

이를 그래프로 나타내면 그림 9.과 같다.

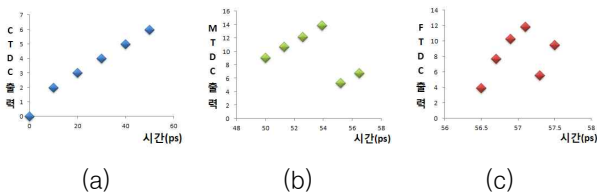


그림 9. (a) CTDC 출력 그래프 (b) MTDC 출력 그래프 (c) FTDC 출력 그래프

모의실험 결과가 대체적으로 선형적이지만, 출력값 중 0~2 근처에서 약간의 오차가 발생하는 것을 확인했다. 이는 출력단에 걸리는 부하에 의해 VTA의 오프셋값이 추가되어 나타난 결과이다. 표 2.는 오프셋값을 보정해주지 않은 순수한 TDC만의 결과이다. 공정의 변화를 예상하여 코너 시뮬레이션을 통해서 특성을 분석하였다. 모의실험결과 TDC의 해상도에 변화가 생겼고 이에 대한 조절이 필요했다. 그러므로 VCVDL의 전압제어 버퍼의 사용은 TDC 해상도의 에러를 보정하는데 매우 효과적이다.

### III. 결 론

본 논문에서는 3단 구조의 11bit 시간 디지털 변환기를 제안 하였다. 시간 증폭기는 두 시간차가 10ps 이하가 되었을 때 짧은 시간차를 증폭하여 TDC의 해상도를 높였다. 3단 구조를 적용하여 최종적으로 0.16ps의 높은 해상도를 얻을 수 있었다. CTDC와 MTDC, FTDC 모두 버니어 라인으로 설계했기 때문에 기존의 시간 디지털변환기에서 회로의 성능을 크게 좌우 했던 버퍼 지연시간에 의한 해상도의 한계점을 없앨 수 있었다. 또한 전압제어 버퍼를 사용하였기 때문에 칩 제작 후에도 외부의 전압으로 지연단의 해상도를 제어할 수 있다. 시간 증폭기의 이득과 회로 자체의 부정합에 의한 문제점들을 교정 회로를 사용해 줄임으로써, 훨씬 정확한 TDC를 구현할 수 있었다. 본 연구는 ADPLL등 시간 디지털 변환기가 필요한 시스템의 성능 향상에 크게 기여할 것으로 예상된다.

본 연구는 한국전자통신연구소의 지원을 받았으며, CAD Tool은 IDEC의 지원을 받았습니다.

### 참 고 문 헌

[1] P. Dudek, S. Szczepanski, and J. V. Hatfield, "A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line," IEEE J. Solid-State Circuits, vol. 35, no. 2, pp. 240-247, Feb. 2000.

[2] M Lee and Asad A. Abidi, "A 9b, 1.25ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue," IEEE JSSC, vol.43, no.4, pp.168-169, June 2007.

[3] 이종석, 문용, "2단 시간증폭기를 이용한 버니어 Coarse-Fine 시간 디지털 변환기," 제17회 한국반도체학술대회, pp.419-420, 2010년 2월.