

# 광대역 PLL을 위한 다중밴드 VCO의 연구

김낙윤, 문 용

승실대학교 전자공학부

전화: (02)825-8108, E-mail: [nakyoons@ssu.ac.kr](mailto:nakyoons@ssu.ac.kr)

## A Study on Multiband VCO for Wide-band PLL

Nak-Yoon Kim, Yong Moon

Department of Electronic Engineering

Soongsil University

### 요 약

광대역 PLL을 위한 다중밴드 전압제어발진기를 1.8 V 0.18  $\mu\text{m}$  CMOS 공정으로 설계하였다. VCO는 저전력 특성을 얻기 위해 NMOS, PMOS 코어를 사용하였고 인덕터와 캐패시터, 버랙터(varactor)를 선택적으로 스위칭하는 기법을 적용하여 다중 대역인 3.17GHz-3.78GHz, 4.16GHz-5.05GHz에서 동작이 가능한 것을 확인하였다. 캐패시터의 선형 특성을 개선하는 버랙터 바이어스 갯수를 1개로 최소화 하였고, 버랙터 스위칭 기법으로  $K_{vco}$ 의 저하를 개선하였다. Cadence Spectre를 이용하여 검증하였고, 소모 전류는 인덕터의 스위치가 단락되었을 때 약 8.17mA, 스위치가 개방 되었을 때 7.58mA, 모의실험 시 1MHz 오프셋에서 -110dBc/Hz 이하의 잡음 특성을 확인하였다.

### Abstract

A wide-band PLL for multiband VCO was designed using 0.18  $\mu\text{m}$  CMOS process with 1.8 V supply. NMOS and PMOS transistors were chosen for VCO core to reduce power consumption. The VCO range is satisfied with a multiband, which includes 3.17GHz-3.78GHz and 4.16GHz-5.05GHz using switchable inductors, capacitors and varactors. Varactor biases that improve varactor capacitance characteristics were minimized as one, and  $K_{vco}$ (VCO gain) value was improved by switchable varactor. VCO was verified by Cadence Spectre, consumes 8.17mA current if inductor switch turned on. Otherwise VCO consumes 7.58mA current. VCO phase noise was lower -110dBc/Hz at 1MHz offset for output frequency.

**Keywords** :CMOS, VCO, multiband, varactor, NP-core

## I. 서 론

최근 무선통신 기술의 발전에 따라 각각의 시스템을 하나의 시스템으로 통합하기 위한 반도체 집적기술의 발전이 빠르게 이루어지고 있다. 특히 현재 차세대 이동통신기술 4G에 대한 개발이 진행 되면서 이에 대한 칩셋 및 단말 개발이 시급한 시점이고 안정적인 서비스 제공이 미흡하다는 지적이 제기되고 있다. 이러한 시스템 구현 시에 여러 RF 송수신단을

전력소비와 크기의 가격대 성능비를 최적화하기 위해서 하나로 구현하는 것이 합리적이다. 이중에서 VCO는 통신 서비스의 성능을 결정하는 중요한 블록으로써, VCO의 크기를 줄이고 여러 주파수 대역을 지원할 수 있다면 주파수 합성기 및 송수신단의 특성을 향상시킬 수 있다.

본 논문에서는 광대역 PLL을 위한 다중밴드 VCO를 저전력으로 구현하기 위한 구조를 제안하였고 버랙터 뱅크를 사용하여 VCO 이득을 일정하게 유지하는 구조를 적용하였다.

본 논문의 순서는 2장에서는 VCO 이득 변화

를 개선하는 기법을 사용한 다중밴드 VCO 구조에 관해 기술하였고, 3장에서는 모의실험을 통한 결과를 분석하였으며, 4장에서는 결론을 맺는다.

## II. 본 론

### 가. 다중밴드 VCO의 구조

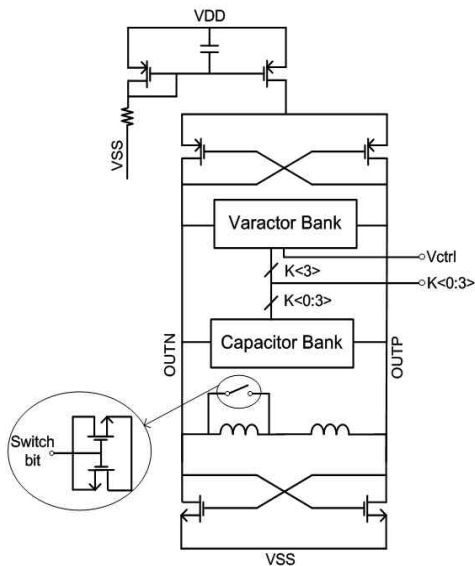


그림 1. 다중밴드 VCO의 구조

본 논문에서 제안한 VCO의 구조를 그림 1에 나타내었다. 다중밴드 VCO에서 사용한 NMOS, PMOS 코어 VCO는 다른 코어 구조에 비해 상호컨덕턴스의 값이 2배가 크기 때문에 전력소모 면에서 유리하기 때문에 채택하였다.[1] 또한 인덕터를 스위칭 하는 기법을 적용하여 스위치가 단락이 되면 인덕턴스 값이 상대적으로 작아지게 되어 4.16GHz~5.05 GHz, 스위치가 개방이 되면 3.17GHz~3.78GHz 대역을 선택할 수 있다. 캐패시터 뱅크는 4비트로 캐패시터를 선택하는 구조이며, 버렉터 뱅크는 캐패시터의 최상위비트로 선택되는 구조이다.

### 나. VCO의 이득 변화의 개선

#### (1) 바이어스 기법을 적용한 스위칭 버렉터 뱅크

주파수 제어 전압의 변화량에 따른 주파수의 변화량을 VCO의 이득이라 한다. 광대역 VCO 제작에서 단일 VCO 이득 특성을 가진 VCO

를 제작할 경우 VCO 구조는 간단해 질수 있지만 제어 전압( $V_{ctrl}$ )의 미세한 변화에도 VCO의 출력 주파수가 민감하게 변화하는 단점이 있다. 이처럼 광대역 주파수 합성기를 제작하는데 있어 VCO 이득 범위의 변화가 작아야 하므로 이를 개선하기 위해 동작주파수대역이 낮아짐에 따라 적절한 크기의 버렉터를 추가하여야 한다.

그림 2-(a)에서 보는 것과 같이 이상적인 다중밴드에서는 일정한 VCO의 이득 변화를 가진다. 하지만 실

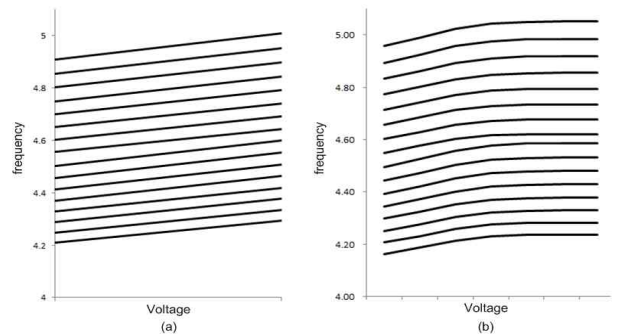


그림 2. (a) 이상적인 다중밴드 VCO 이득 특성  
(b) 제안하는 다중밴드 VCO 이득 특성

제로는 식 (1)의 동일한 버렉터의 캐패시턴스 값의 변화에 대해서 캐패시터 뱅크의 큰 증가폭을 갖기 때문에 상대적으로 제어 전압 변화에 따른 주파수 변화폭이 저주파로 갈수록 감소한다. 이에 따라서 그림 3과 같은 바이어스 구조의 버렉터 뱅크를 사용하여 VCO이득 저하를 개선하였다. 제안하는 다중밴드 VCO의 이득 특성은 그림 2-(b)와 같은 형태로 변하게 된다.[2][3]

$$\omega = \frac{1}{\sqrt{LC}} = \frac{1}{\sqrt{(L_1 + L_2)(C_{var} + C_{capbank} + C_{parasitic})}} \quad (1)$$

그림 3의 VCO 이득의 선형 특성을 개선하기 위하여 버렉터에 바이어스 기법을 사용하였다. 버렉터에 주파수 제어 전압이 인가되면 버렉터의 캐패시턴스 값의 선형구간이 변하게 된다. 버렉터 뱅크는 커캐피터 뱅크의 최상위 비트로 선택이 되면  $K < 3 >$ 의 스위치가 단락이 되어 버렉터의 크기를 보상해주는 구조이다.

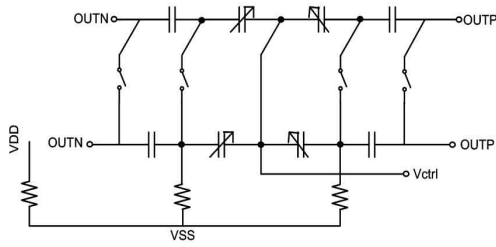


그림 3. 스위칭 버랙터 뱅크의 구조

(2) 인덕터 변화에 따른 VCO의 이득 제안하는 구조에서는 인덕터를 스위칭하는 기법을 사용하였다. 식 (1)에서  $L_1$ 을 스위칭 되는 인덕터라 하였을 때  $L_1$ 의 스위치가 개방이 되면 전체 인덕터의 값은 증가하게 되어 VCO의 이득은 감소하게 된다. 이를 개선하기 위해 다중밴드를 만족하는 범위 내에서 캐패시터 뱅크의 단위 캐패시터 값을 가능한 크게 하고,  $L_1$ 의 크기를 최소화 하여 VCO의 이득 저하를 개선하였다.

### III. 모의실험 및 결과

구현한 VCO는 0.18  $\mu\text{m}$  CMOS 공정으로 설계하였고, Cadence Spectre를 이용하여 검증하였다.

VCO의 이득 분포를 그림 4에 나타내었다. 스위치가 단락이 되었을 때 VCO 이득은 39.38  $\text{MHz/V}$ -52.90  $\text{MHz/V}$  로 분포하며, 스위치가 개방이 되었을 때 VCO 이득은 26.67  $\text{MHz/V}$ -37.74  $\text{MHz/V}$  로 분포한다. 캐패시터의 뱅크의 입력이 '0111'에서 '1000'을 바뀔 때 VCO 이득이 증가하여 이득 저하를 개선하는 것을 볼 수 있다.

VCO의 이득 특성을 그림 5에 나타냈었다. 스위치가 단락이 되었을 때 4.16  $\text{GHz}$ -5.05  $\text{GHz}$ , 인덕터 스위치가 개방이 되었을 때 3.17  $\text{GHz}$ -3.78  $\text{GHz}$ 의 주파수가 출력되는 것을 확인하였다.

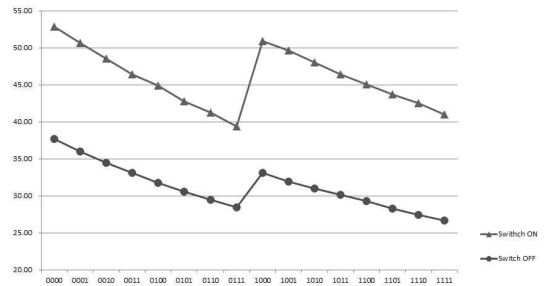


그림 4. Bank 선택에 따른 VCO의 이득분포

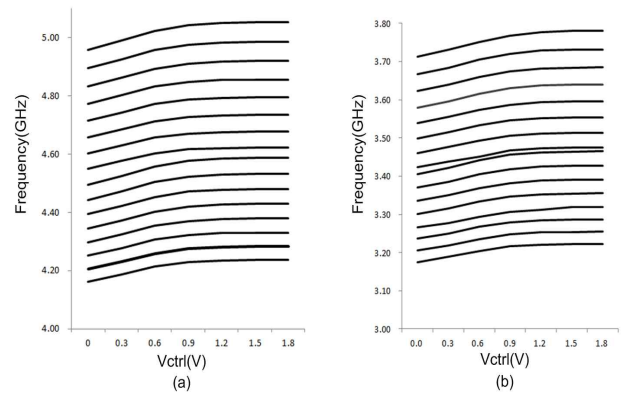


그림 5. (a) 스위치가 단락되었을 때 VCO 이득 특성  
(b) 스위치가 개방되었을 때 VCO 이득 특성

그림 6은 1  $\text{MHz}$ 의 오프셋에서 위상잡음 특성을 나타내는 모의실험 결과이다. (a)~(d)는 인덕터와 캐패시터 뱅크를 변화시킨 결과이다. NMOS 전류원에 비해 10  $\text{dB}$  정도 낮은  $1/f$  잡음을 가지는 PMOS 전류원을 사용하여 위상잡음 특성을 좋게 하였다. 캐패시터의 입력과 인덕터의 스위치에 따라 위상잡음특성을 표 1에서 나타내었으며, 1  $\text{MHz}$  오프셋에서 -110  $\text{dBc/Hz}$  이하의 잡음특성을 확인하였다.

[3] 문제철, 문용, “낮은 VCO 이득 변화를 가지는 다중밴드 VCO의 설계” SoC학술대회, May 2007.

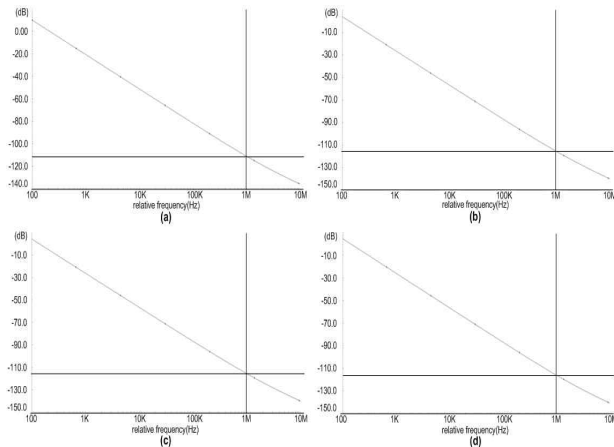


그림 6. VCO 위상잡음 특성

표 1. 입력에 따른 VCO의 위상잡음 특성

|                          | (a)      | (b)     | (c)      | (d)     |
|--------------------------|----------|---------|----------|---------|
| Inductor_Switch          | ON       | ON      | OFF      | OFF     |
| Capacitor bank bit       | 0000     | 1111    | 0000     | 1111    |
| Phase noise(dBc/Hz@1MHz) | -110.891 | -115.46 | -115.578 | -115.91 |

#### IV. 결론

광대역 PLL을 위한 다중밴드 VCO를 0.18  $\mu\text{m}$  CMOS 공정으로 설계하였다. 전력소모 측면에서 유리한 NMOS, PMOS 코어 LC VCO를 설계하였고, 인덕터와 캐패시터, 제안하는 버렉터를 선택적으로 스위칭 기법을 적용하여 3.17GHz-3.78GHz, 4.16GHz-5.05GHz 대역에서 동작 가능한 것을 확인하였다. 설계한 다중밴드 VCO는 광대역 PLL의 설계에 도움이 될 것으로 기대되며 이로써 시스템을 지원할 수 있는 시스템의 설계가 간편해지고 비용 감소 효과로 인해서 그 수요가 크게 증가할 것으로 생각된다.

#### 참고 문헌

- [1] Lin Jia and Jian-Guo, "9.3-10.4-GHz-Band Cross-Coupled Complementary Oscillator with Low Phase-Noise Performance," IEEE Trans. Microwave Theory and Techniques, Vol.52, pp. 1273-1278, Apr 2004.
- [2] Jongsik Kim et al, "A Wide-Band CMOS LC VCO With Linearized Coarse Tuning Characteristics," IEEE Trans. Circuits and Systems II Vol.55, pp. 399-403, May 2008.