

# 고주파 PLL을 위한 10~40GHz 2분주기의 연구

이종석, 문용  
 숭실대학교 전자공학과  
 e-mail : ljs1385@ssu.ac.kr, moony@ssu.ac.kr

## A Study on 10~35GHz Static Divider for High Frequency PLL

Jong-Suk Lee, Yong Moon  
 School of Electronic Engineering  
 Soongsil University

### Abstract

고주파 대역의 PLL(Phase Locked Loop)에 사용될 수 있는 2분주기 회로를 제안하였다. 제안한 회로는 D-타입 래치를 이용한 부귀환을 갖는 마스터-슬레이브 구조로 설계하였으며 고속동작을 위하여 CML(Current Mode Logic) 회로로 설계하였다. 제안한 회로는 0.11 $\mu$ m CMOS 공정으로 설계하였고 동작주파수는 1.2V의 전원전압에서 10~40GHz이며 최대소비전력은 4.68mW이다.

### I. 서론

PLL은 입력주파수를 분주기의 분주비 값만큼 높은 주파수로 바꿔주고, 일정한 입력주파수에 따른 고정된 주파수를 출력하기 때문에 널리 사용되는 소자이다. 기술이 발전함에 따라 무선통신 대역 등 40GHz 이상의 주파수대역에서 PLL을 상용화함에 있어 PLL을 구성하는 주요 블록중 하나인 분주기 블록의 고속 동작이 필요시 되고 있다. 하지만 고주파 대역에서의 주파수 분주는 기존의 단순한 플립플롭 구조를 사용함에 있어 한계가 발생하기 때문에 고주파용 분주기를 사용해야 한다. 고주파용 분주기를 사용하여 40GHz 이상의 주파수를 수GHz 이내로 낮출 수 있다면 이후에는 일반적인

구조의 분주기로도 원하는 분주비를 만족할 수 있기 때문이다. 본 논문에서는 10~40GHz의 넓은 대역의 분주기를 CADENCE SPECTRE 툴을 이용하여 설계 및 검증하였다.

### II. 본론

#### 2.1 제안하는 분주기 구조

주파수 분주기는 주로 D-플립플롭 타입과 LC-공진기 타입의 2가지 타입으로 나뉜다. 이중 D-플립플롭 타입보다는 LC-공진기 타입이 고주파 대역에서는 더 적합하지만 인덕터를 사용함으로써 큰 면적을 차지하고, 입력전압으로 C값을 조절하기 때문에 입력전압의 작은 변화에도 출력값의 변화를 가져오게 된다. 그래서 제안하는 분주기는 D-플립플롭 타입을 사용하였으며 그림 1에 전체적인 구조를 나타냈다.

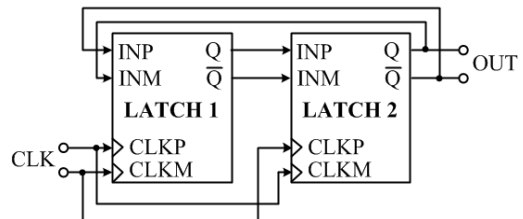


그림 1. 정적 2분주기 구조

분주기 전체 구조는 LATCH1과 LATCH2에 CLK이 반대로 입력되어 두개의 래치가 교대로 동작하는 마스터-슬레이브 구조로 되어있다. 출력은 입력과 부귀환 연결되어있으므로 CLK 주파수가 분주기의 동작 주파수범위 안에 있다면 출력단의 주파수는 CLK 주파수의 2분주된 값이 출력된다. 고주파 분주가 가능하기 위해서는 래치회로의 동작이 중요하다. 일반적인 정적회로와 비교해서 내부 전압스윙을 줄여줌으로서 고속동작이 가능한 CML 래치를 제안하였으며 그림 2에 회로도를 나타냈다.

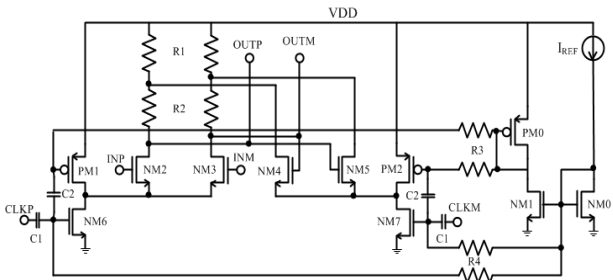


그림 2. 제안하는 CML 래치 회로도

동작주파수 범위를 넓히기 위해 로드저항을 R1과 R2 2개로 나눠서 사용하는 Split-load 방식을 적용하였다. NM4의 드레인과 OUTP노드, NM5의 드레인 and OUTM 노드가 직접 연결되어 있지 않고, R2에 의해 분리되어 있기 때문에 NM4와 NM5의 이득이 줄어들게 된다. 때문에 래치의 셋업시간을 늘려주고 결국 전체 동작주파수 범위를 약10% 증가시킨다[1]. 하지만 단점으로는 저주파대역에서 불안정성을 증가시킨다. 이 문제점은 인덕터를 R1과 직렬로 연결한 inductive shunt peaking 방식을 사용하여 해결할 수 있지만 인덕터를 사용하면 면적에서의 손해를 가져오기 때문에 사용하지 않았다. 대신 R1과 R2의 비율을 최적화하여 동작주파수범위를 최대화 하였다. 실제 설계에서 사용한 R1과 R2의 비율은 모의실험을 통하여 2:1로 결정하였다.

2.2 동작원리

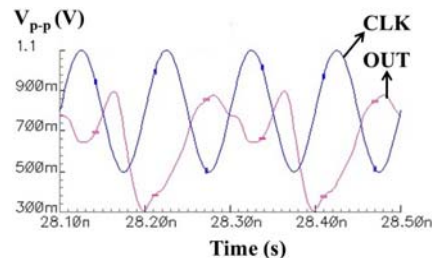
동작원리는 다음과 같다. 먼저 래치 회로의 동작은 CLK신호는 캐패시터 C1을 지나 AC신호만 입력되고 전류원 IREF와 NM0의 L, W, Vt값에 의해 NM0의 Vgs전압이 결정되고, 이 전압으로 NM6와 NM7의 바이어스 전압이 결정된다. 바이어스 전압값은 입력신호 CLK의 작은 진폭에도 트랜지스터가 최대한 반응할 수 있게 NM6와 NM7의 Vt전압으로 설계하였다.

INP와 INM의 반대 위상 입력에 따라 NM4와 NM5의 소스-커플드 페어 구조의 게이트 전압이 바뀌게 된다. 하지만 이 모든 동작은 CLK 주파수에 따른 NM6와 NM7에 의해 제어되기 때문에 NM6와 NM7의 크

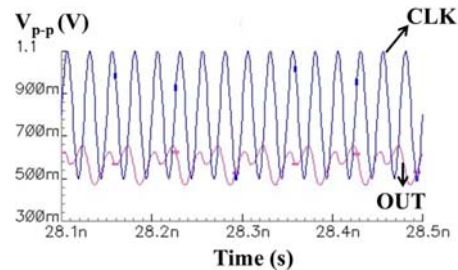
기는 충분한 전류를 흘릴수 있을만큼 커야한다. PM0와 NM1은 PM1과 PM2가 동작할 수 있도록 NM0와 같은 원리로 바이어스 전압을 만들어 주기위해 사용되었다. PM1과 PM2는 CLK신호를 입력으로 받는 트랜지스터의 전체 트랜스컨덕턴스를 증가시키기 위해 추가되었다[2]. 모든 신호는 차동으로 설계되었으며, 차동신호는 충분한 노이즈 마진을 가져온다.

III. 모의실험 결과

제안한 2분주기 회로의 설계 및 검증은 CADENCE SPECTRE 툴을 이용하였다. 그림 3은 10~40GHz의 전체 동작주파수 대역에서의 최소 주파수와 최대 주파수 입력 출력 결과이다.



(a)



(b)

그림 3. (a) CLK이 10GHz 일때 출력 그래프  
(b) CLK이 40GHz 일때 출력 그래프

시뮬레이션 결과를 통하여 분주기가 정확히 2분주로 동작하는 것을 확인하였다. 그림 4는 전체 동작주파수 대역에서 출력 전압의 Vp-p와 출력 주파수 결과이다.

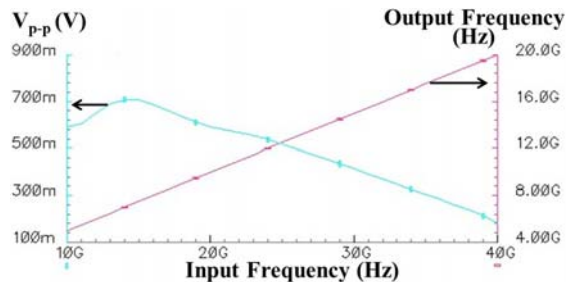


그림 4. 입력주파수에 따른 출력 Vp-p와 출력주파수 그래프

주파수가 높아질수록  $V_{p-p}$ 가 낮아지는 것을 확인하였다. 최대 동작주파수를 벗어나면  $V_{p-p}$ 가 120mV 이하로 매우 낮아지기 때문에 분주기는 정상동작을 하지 않는다. 만약 전원전압을 증가시키면  $V_{p-p}$ 가 높아지며 그림 5에서 전원전압에 따른 출력주파수 결과를 나타냈다.

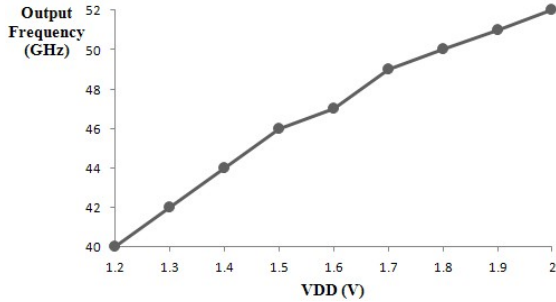


그림 5. 전원전압에 따른 최대 동작주파수 변화그래프

전원전압이 증가할수록 출력단 스윙폭( $V_{p-p}$ )이 커지기 때문에 출력주파수는 높아지지만 전력소모가 증가하므로 실제 설계에서는 1.2V를 기준으로 하였다.

#### IV. 결론

본 논문에서는 40GHz의 고주파에서 동작하는 2분주기를 제안하였다. 분주기의 안정적인 동작을 위하여 D-플립플롭 타입으로 설계하였고, 고속동작을 위하여 CML 래치 회로를 제안하였다. 10~40GHz의 넓은 동작주파수에도 인덕터를 사용하지 않고 동작 주파수범위를 넓히기 위하여 Split-load 방식을 적용하였다. 고주파 동작에도 인덕터를 사용하지 않았기 때문에 칩면적에서의 이득을 예상할 수 있다. 제안하는 2분주기 회로는 0.11 $\mu$ m CMOS 공정을 사용하였으며 CADENCE SPECTRE 툴로 설계 및 검증하였다. 전원전압 1.2V에서 최대소비전력은 4.68mW이다. 제안하는 2분주기는 고주파수 대역의 PLL에 많은 적용이 가능할 것으로 예상된다.

#### 감사의 글

This work was supported by Basic Research Laboratories (BRL) through NRF grant funded by the MEST (No.20110020262)

#### 참고문헌

- [1] Haipeng Fu, et al "A 8.5 GHz phase locked loop with split-load divider," IEEE Solid-State and Integrated Circuit Technology (ICSICT), pp. 770-772, Nov. 2010 .
- [2] Chihun Lee, Shen-luan Liu "A 58-to-60.4GHz Frequency Synthesizer in 90nm CMOS," IEEE ISSCC, pp. 196-198, Feb. 2007 .