

13bit의 해상도를 갖는 3단 시간 디지털 변환기의 연구

이종석, 문용

숭실대학교 전자공학과

초록

시간 디지털 변환기는 PLL을 기반으로 하는 고속 통신 시스템에 널리 사용되고 있으며 ADPLL(All-Digital PLL)에서도 위상잡음과 해상도를 결정하는 중요한 블록으로 사용된다. 본 연구에서는 ADPLL에 적용 가능한 고성능 3단 시간 디지털 변환기를 제안하였다. 해상도를 높이기 위해 버니어 지연단을 이용하여 공정에 의한 영향을 줄였고 2단 시간 증폭기 구조를 사용하였다. 제안하는 시간 디지털 변환기는 0.13 μ m CMOS 공정을 사용하여 설계하였으며 전원전압은 1.2V를 사용하였다. 설계한 3단 시간 디지털 변환기는 640ps의 입력범위에서 13bit의 디지털 출력과 최대 0.08ps의 해상도를 갖는다.

1. 서론

공정기술이 발달함에 따라 디지털회로는 속도향상과 소모전력 감소로 성능이 많이 향상되었지만 Analog/RF 회로는 문턱전압(V_T)의 이동, 동작전압감소, 공정변화심화 등으로 인해 심각한 성능저하가 나타나고 있다. 이에 기존의 아날로그 PLL에 대한 대안으로 ADPLL이 개발되었고 이미 상용제품에 적용되고 있다. 시간 디지털 변환기(TDC)는 ADPLL에서 위상 주파수 검출기와 전하펌프를 대체할 수 있는 블록으로 두 시간의 차이를 해당되는 디지털 값으로 바꿔주는 역할을 한다. 점차 고해상도의 시간 디지털 변환기에 대한 수요가 증가하고 있지만 시간차를 검출만 하는 구조만으로는 두 시간차가 너무 짧으면 그 시간간격을 감지하는데 한계가 있다. 그래서 시간 증폭기(TA)로 짧은 시간차를 증폭한 다음 시간 디지털 변환기에서 최종적으로 디지털 코드로 변환하여 전체 해상도를 높이는 방법이 진행되었다[1]. 본 논문에서는 버니어 지연을 이용하여 공정에 적은 영향을 받으면서 고해상도가 가능한 3단 시간 디지털 변환기를 제안했다.

2. 회로 설계

시간 증폭기를 이용한 시간 디지털 변환기 구조는 이미 개발되었다[1][2]. 하지만 버니어 구조를 이용한 버니어 시간 증폭기(VTA)를 이용하여 높은 이득을 얻을 수 있고 지연단에도 버니어 구조를 적용하여 공정에 제약을 받지 않고 높은 해상도를 구현하였다.

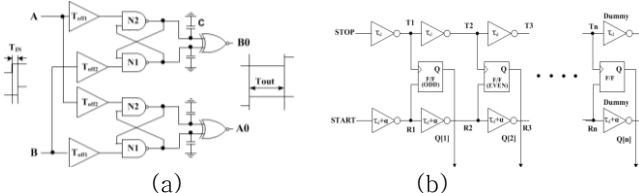


그림 1. (a) 버니어 시간 증폭기 회로도
(b) 인버터 버니어 지연단 블록도

sub-ps의 고해상도를 얻기 위해서는 소자 자체의 미스매치도 큰 문제점으로 발생하기 때문에 지연단을 버퍼대신 인버터를 사용하여 소자 개수를 1/2로 줄였다. 인버터 버

니어 지연단에서는 출력이 반전되기 때문에 2개 신호변화(Low에서 High, High에서 Low)를 각기 다른 플립플롭을 사용하여 검출해야 한다. 특히 T1과 T2 또는 R1과 R2에서 보이는 기생 캐패시턴스 성분이 같아야지만 τ_d 또는 $\tau_d + \alpha$ 의 일정한 지연시간을 유지하기 때문에 LPE결과를 이용하여 기생성분까지 고려한 후 설계했다. 고해상도를 구현하기 위한 두 번째 방법으로 3단 구조를 적용했다. 그림 2는 3단 시간 디지털 변환기의 전체 블록도이다.

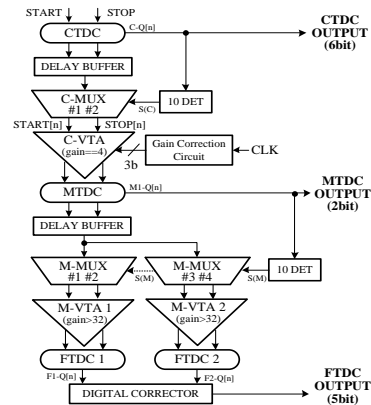


그림 2. 3단 TDC 전체 블록도

Coarse TDC(CTDC)는 63단으로 설계하여 6bit의 해상도로 나타낼 수 있으며, C-VTA의 이득(4)에 따라 Medium-TDC(MTDC)는 2bit의 해상도를 갖는다. Fine TDC(FTDC)는 M-VTA가 32의 해상도를 갖기 때문에 5bit로 표현할 수 있어서 최종적으로 13bit의 해상도를 얻을 수 있다. 3단 시간 디지털 변환기의 블록별 해상도를 표 1에 나타냈다.

표 1. 3단 시간 디지털 변환기 해상도

종류	해상도
CTDC	$\tau_d + \alpha - \tau_d = 10ps$
MTDC	$10ps / 4 = 2.5ps$
FTDC	$2.5ps / 32 = 0.08ps$

3. 교정 회로

하지만 3단 구조는 2단 구조에 비해 부정확한 결과를 가져온다[2]. 그래서 이를 보정하기 위해 첫 번째로 C-VTA 이득을 보정하는 Gain Correction Circuit (GCC) 블록을 추가했다. GCC 블록도는 그림 3에 나타냈다.

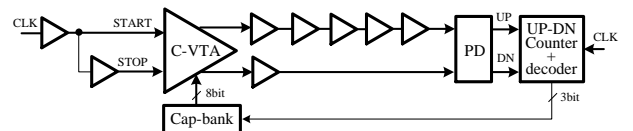


그림 3. Gain Correction Circuit(GCC) 블록도

GCC블록은 피드백 회로를 통하여 3bit의 출력이 C-VTA의 capacitor-bank 값을 조절하여 이득을 정확히 4로 맞춰준다. 동작원리는 다음과 같다. 입력에 τ 만큼의 시간차를 주면 출력은 4τ 의 시간차를 가져야 하므로 C-VTA의 한쪽출력에 4배의 지연시간을 더해준다. PD블록에

서는 두 입력을 비교하여 차이만큼을 UP-DN Counter로 보내주고, UP-DN Counter의 3bit 출력이 Cap-bank에 피드백 되어 C-VTA의 캐패시터 값을 조절한다. 그림1의 (a)에서 C-VTA의 캐패시터 값을 조절하면 신호전달 시간이 바뀌므로 이득도 바뀌게 된다. GCC 블록의 최종 출력은 UP-DN Counter의 3bit 출력이며 C-VTA의 Cap-bank로 입력된다. 두 번째로 M-VTA의 이득을 보정하기 위해서는 FTDC에 2bit를 추가하여 M-VTA의 이득이 32 이상이 됐을 경우에도 양자화해 놓았다가 FTDC2 블록을 통하여 이득이 32인 값과 매칭되는 값으로 보정해 준다. 세 번째로 VTA 자체의 오프셋 문제점이 있는데 VTA의 입력에 동일한 신호를 인가하여 오프셋을 측정한 후 저장하여 최종 출력에서 보정해 준다.

4. 모의실험 결과

제안한 회로는 CADENCE툴을 사용해 설계 후 SPICE를 통해 검증했다. 그림4는 CTDC의 동작을 모의실험을 통해 확인한 결과이다. 입력 시간차를 30ps로 주었고, 그림4의 (a)의 결과를 표2에 나타냈다.

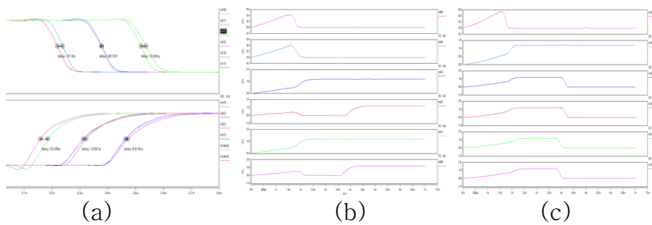


그림 4. (a)CTDC 버니어 지연단 결과 (b)플립플롭의 출력(Q4=0) (c)10*DET의 출력(S4=1)

표2. CTDC 시뮬레이션 결과(offset=30ps)

구 간	시간차(ps)
STOP-START	30
STOP1-START1	19.6
STOP2-START2	10
STOP3-START3	0.6
STOP4-START4	-9
STOP5-START5	-18.6

4번째 구간에서 START신호가 STOP신호를 따라잡고 플립플롭 출력이 4번째단부터 High에서 Low로 떨어지며, '10*DET'의 4번째 출력만 High로 되는 것을 확인했다.

그림5는 C-VTA와 M-VTA의 모의실험 결과이다. C-VTA는 입력범위 안에서 4의 이득을 유지하고, M-VTA는 1단에서는 약 19의 이득을 갖고 2단에서는 32이상의 이득을 갖는다.

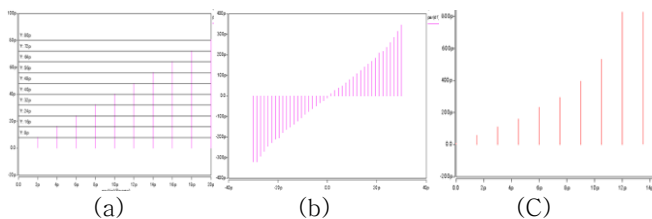


그림 5. (a) C-VTA 시뮬레이션 결과 (b) M-VTA 시뮬레이션 결과(1단) (c) M-VTA 시뮬레이션 결과(2단)

그림6은 GCC블록의 시뮬레이션 결과이다. 그림6의 (a), (b)의 1~3번째 파형은 UP-DN Counter의 3bit 출력이고 나머지 파형은 두 입력 파형이다. (b)에서 UP, DN 신호가

일정해 진후 GCC의 출력파형도 일정한 값을 유지하는 것을 시뮬레이션 결과를 통해 확인할 수 있다.

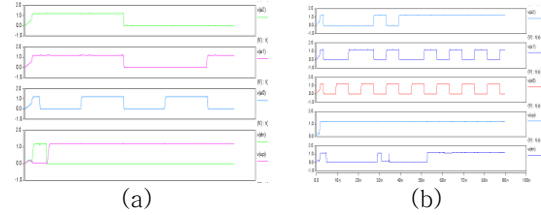


그림 6. (a) UP-DN Counter 결과 (b) GCC 결과

전체 시간 디지털 변환기에서 입력 시간차를 각 블록별 해상도 단위로 바꿔가며 시뮬레이션 한 결과를 표3에 나타냈다.

표 3. 3단 시간 디지털 변환기의 시뮬레이션 결과

CTDC		MTDC		FTDC	
시간차(ps)	OUT	시간차(ps)	OUT	시간차(ps)	OUT
10	1	2.5	1	0.08	1
20	2	5	2	0.16	3
30	3	7.5	3	0.24	3
40	4	10	0	0.32	4
50	5	12.5	1	0.4	5
60	6	15	2	0.48	7
70	7	17.5	3	0.56	8
80	8	20	0	0.64	9
90	9	22.5	1	0.72	9

CTDC와 MTDC는 이상적인 값을 확인할 수 있었지만 FTDC는 조금 불안한 값을 갖는걸 확인했다. 가장 큰 이유는 M-VTA의 이득이 입력범위의 모든 지점에서 32로 정확히 일치하지 않기 때문이다. 이 부분은 좀 더 안정적인 시간 증폭기의 연구로 해결될 수 있다.

6.결론

3단 구조의 13bit 시간 디지털 변환기를 0.13 μ m CMOS 공정으로 설계했다. 시간 증폭기는 두 시간차가 10ps 이하가 되었을 때 짧은 시간차를 증폭하여 TDC의 해상도를 높였다. 3단 구조를 적용하여 최종적으로 1.2V전원에서 0.08ps의 높은 해상도를 시뮬레이션을 통해 확인했다. CTDC와 MTDC, FTDC 모두 버니어 라인으로 설계했기 때문에 기존의 시간 디지털변환기에서 회로의 성능을 크게 좌우 했던 버퍼 지연시간에 의한 해상도의 한계점을 없앨 수 있었다. 지연단 또한 인버터 라인을 사용하여 소자 자체에서 발생하는 mismatches를 최소화 하였다. 시간 증폭기의 이득과 회로 자체의 부정합에 의한 문제점들을 교정 회로를 사용해 줄임으로써, 훨씬 정확한 결과를 구현할 수 있었다. 본 연구는 ADPLL등 시간 디지털변환기가 필요한 시스템의 성능 향상에 크게 기여할 것으로 예상된다.

본 연구는 지식경제부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업의 연구결과로 수행되었음(NIPA-2012-H0401-12-1005)

참고문헌

[1] M Lee and Asad A. Abidi, "A 9b, 1.25ps Resolution Coarse - Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue," IEEE JSSC, vol. 43, no. 4, pp. 168 - 169, June 2007.
 [2] Kuo-Hsing Cheng et al., "A Time-to-Digital Converter Using Multi-Phase-Sampling and Time Amplifier for All Digital Phase-Locked Loop," IEEE DDECS, pp. 285-288, April 2010.