

근거리 무선 통신을 위한 주파수 합성기의 연구

정명호, 문용
 숭실대학교 전자공학과

요약

Recently, NFC(Near-Field Communication) is known as the next generation technology of RFID(Radio Frequency Identification) with a development of smart phones. This paper proposes frequency synthesizer for NFC. The proposed frequency synthesizer is designed based on the 0.18um CMOS process with 1.8V supply voltage. The Ring Oscillator is used in the design of VCO and the frequency tuning range is from 6MHz to 32MHz.

1. 서론

최근 스마트폰의 발달과 함께 RFID(Radio Frequency Identification)의 다음 세대 기술로 대두되고 있는 근거리 무선 통신(NFC : Near-Field Communication)은 13.56MHz의 주파수 대역을 가지며, 아주 가까운 거리(10cm 이하)의 무선 통신을 하기 위한 기술이다. 현재 지원되는 데이터 통신 속도는 초당 424kbit이며, 기존의 RFID에 비해 양방향의 통신이 가능하기 때문에 교통, 티켓, 지불 등 여러 서비스에서 사용할 수 있다.

표 1. RFID와 NFC의 비교

	900MHz RFID	13.56MHz NFC
리더모드의 태그인식	- 10~60cm 거리 조절 가능 - 다량태그 동시 인식	- 근거리(10cm 이하) 태그
태그 특징	\$0.2 - 점차 낮아지고 있음	\$0.5 - 칩 가격이 비쌌음 - 안테나가 비쌌음
태그 크기	- 12mm × 98mm (인식거리 : ~1m) - 직경 1cm (인식거리 : 10cm)	- 50mm × 80mm (인식거리 : 10cm)
지불/결제 기능	없음 (일부 가능)	Card emulation, Key (교통/신용카드 기능)
P2P 기능	없음	가능 (저속, 최대 424kbps)
주요응용 분야	1) 유통물류 분야 (의약품/식품 등) 2) 공공 분야 (박물관/관광지)	1) 교통카드, 신용카드 2) 출입문키 3) P2P 파일 전송
국제표준, IPR	한국 주도, 기술 선도	외국 주도, 기술 낮음

하지만 우리나라가 주도하던 RFID 기술에 비해 근거리 무선 통신에 대한 우리나라의 기술력은 낮은 수준이며, 외

국이 그 표준과 개발을 주도하고 있다. 따라서 근거리 무선 통신에 대한 연구가 필요한 시점이며, 근거리 무선 통신 송·수신기 등 관련 IP에 대한 개발도 시급한 시점이다.

본 연구에서는 근거리 무선 통신 기술에 활용 가능한 주파수 합성기를 설계하였으며, 주파수 합성기의 각 블록들을 각각 Cadence Virtuoso를 사용하여 설계 및 Cadence Spectre를 사용하여 검증하였다.

2. 제안한 주파수 합성기의 구조

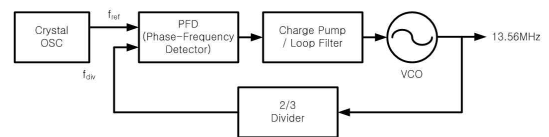


그림 1. 주파수 합성기의 블록다이어그램

그림 1은 제안하는 주파수 합성기의 블록다이어그램이다. 크리스탈 발진기로부터 고정된 저주파의 신호를 받아 전압제어발진기에서 출력되어 분주기를 거친 신호와 위상 주파수비교기를 통해 비교한다. 위상과 주파수를 비교하여 기준주파수보다 빠를 시에 전하를 충전하고, 기준주파수보다 느릴 시에 전하를 방전하여 전압제어발진기의 입력 전압을 조절한다.

이러한 일련의 과정들을 거쳐 최종적으로 주파수 합성기의 출력 주파수로 13.56MHz를 만드는 것이 목적이다. 이것은 통신 송·수신기에 필수적으로 사용되는 국부발진기(LO : Local Oscillator) 등에 사용할 수 있다.

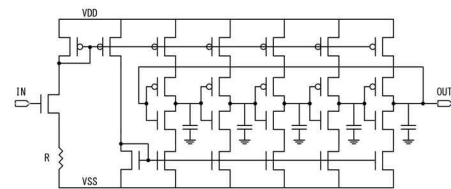


그림 2. 사용된 전압제어발진기의 구조

본 논문에서 설계한 주파수 합성기의 전압제어발진기는 그림 2와 같은 5단 링형 발진기 구조를 사용하였으며, 이것은 LC-발진기에 비해 면적이 작으며 출력 주파수 대역이 선형적이라는 특징을 갖고 있다. 일반적으로 링형 발진기 구조는 주파수 변동폭이 큰 것이 단점인데 본 논문의 회로에서는 루프 필터를 조절하여 면적을 줄이면서 주파수 변동폭을 최소화하도록 설계하였다.

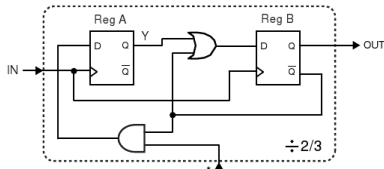


그림 3. 사용된 분주기의 구조

또한 분주기는 그림 3과 같은 2/3 듀얼 모듈러스 구조를 사용하였다. 시그마-델타 변조기를 별도의 디지털 회로로 설계하여 분수비의 분주를 통해 주파수를 더욱 세밀하게 조절할 수 있도록 하였다.

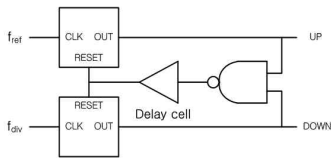


그림 4. 사용된 위상주파수비교기의 구조

위상주파수비교기는 일반적으로 불감대(Dead zone)가 있어 주파수가 고정되어도 주파수가 흔들리는 현상이 발생하게 된다. 본 논문의 위상주파수비교기는 그림 4와 같이 중간에 지연을 위한 회로를 추가하여 불감대(Dead zone)를 최소화하여 주파수 변동폭을 줄였다.

위상주파수비교기와 전압제어발진기, 루프 필터 등의 회로를 수정하여 주파수 변동폭을 13.56MHz ± 40kHz에서 13.56MHz ± 15kHz로 줄일 수 있었다.

3. 회로 레이아웃 및 모의실험 결과

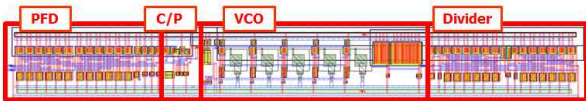


그림 4. 제안한 주파수 합성기의 레이아웃

그림 4는 제안한 주파수 합성기의 레이아웃이다. 전체 회로의 크기는 200um × 20um로서, 특성을 유지하면서 면적을 최소화하였다.

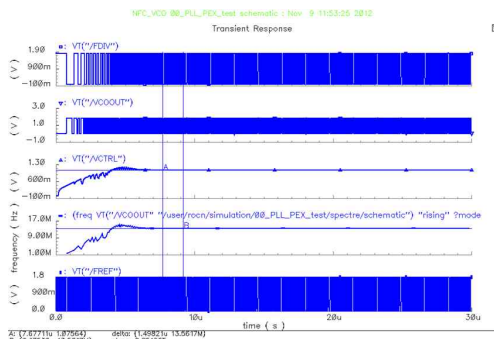


그림 5. 제안한 주파수 합성기의 모의실험 결과

그림 5는 제안한 주파수 합성기의 모의실험 결과이다. 레이아웃 결과를 추출하여 기생 성분을 고려하여 모의실험하였을 때 락킹 시간은 약 7us로 측정되었으며, 주파수의 변동은 13.56MHz ± 15kHz로 측정되었다. 빠른 락킹 시간이 필요한 회로에서 사용할 수 있을 것으로 보인다.

4. 결론

근거리 무선 통신을 위한 주파수 합성기를 전원전압 1.8V, 0.18um CMOS 공정으로 설계하였다. 면적을 최소화하고 선형성을 높이기 위해 링형 발진기 구조를 사용하여 설계하였으며 분주기는 시그마-델타 변조기를 별도의 디지털 논리회로로 연결하여 세밀하게 주파수를 조절할 수 있도록 설계하였다. 또한 위상주파수비교기의 불감대(Dead zone)를 최소화하기 위해 지연 회로를 추가하였다.

본 논문에서 설계한 주파수 합성기는 빠른 락킹 시간과 적은 면적을 갖는 주파수 합성기로서 현재 빠르게 발전을 이루고 있는 근거리 무선 통신(NFC)에서 그 수요가 크게 증가할 것으로 여겨진다.

감사의 글

본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음 (NIPA-2012-(H0301-12-5002))

참고 문헌

1. Young-Han Kim, Young-Chang Choi, Min-Woo Seo, Sang-Sun Yoo, and Hyung-Joun Yoo, "A CMOS Transceiver for a Multistandard 13.56-MHz RFID Reader SoC", IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, VOL. 57, NO. 5, MAY 2010
2. Jung-Hyun Cho, Jikon Kim, Jae-Wan Kim, Kyungil Lee, Kwang-Duk Ahn, and Shiho Kim, "An NFC transceiver with RF-powered RFID transponder mode", IEEE Asian Solid-State Circuits Conference, November 12-14, 2007
3. Sangyong Park, Sungmoon Park, Joonhong Park, and Donghyun Baek, "Design of 13.56 MHz ASK Transmitter for Near Field Communication Using a DLL Architecture", IEEE 2012