

# 고해상도 시간 디지털 변환기의 연구

이종석, 문 용

송실대학교 정보통신전자공학부

전화: (02)825-8108, E-mail: ljs1385@ssu.ac.kr, moony@ssu.ac.kr

## A Study on High Resolution Time-to-Digital Converter

Jongsuk Lee, Yong Moon

School of Electronic Engineering, Soongsil University

### 요 약

디지털 PLL에 적용될 고해상도 시간 디지털 변환기를 0.18 $\mu$ m CMOS 공정으로 설계하고 post-레이아웃 시뮬레이션을 진행했다. 해상도를 높이기 위해 성긴-미세 2단 구조로 설계했으며, 64이상의 이득을 갖는 2단 버니어 시간 증폭기를 사용했다. 12bit, 0.125ps의 해상도를 시뮬레이션을 통해 확인했으며 전원전압은 1.8V이다.

### Abstract

We designed High Resolution Time-to-Digital Converter(HR-TDC) and progressed post-layout simulation for DPLL(Digital PLL) in a 0.18 $\mu$ m CMOS process. We used 2-stage Vernier Time Amplifier having 64-gain and Coarse-Fine architecture in order to improve resolution. We confirmed 12bit, 0.125ps resolution by simulation and supply voltage is 1.8V.

**Keywords** : DPLL(Digital Phase-Locked Loop), TDC(Time-to-Digital Converter), TA(Time Amplifier)

## I. 서 론

최근 통신 시스템에서 칩안에 필요한 클럭을 만들어 주기 위하여 DPLL(Digital PLL)을 이용한 클럭 합성이 많이 사용되고 있다. DPLL은 아날로그 회로의 결합에 대한 민감도를 줄일 수 있고 새로운 프로세서에 대한 확장성이 쉽다는 장점이 있다<sup>[1]</sup>. 또한 수동소자를 사용하지 않고 디지털 루프필터를 사용하여 면적에서의 이득과 빠른 락킹시간을 가져온다.

그러나 아날로그 시스템을 이에 대응하는 디지털 회로로 바꾸기 위해서는 DPLL의 위상잡음이 큰 문제가 된다. 발진기의 위상잡음과 시간 디지털 변환기(TDC: Time-to-Digital Converter)의 양자화 에러는 DPLL

의 위상잡음에 큰 영향을 미치며 특히 높은 해상도를 갖는 TDC는 양자화 오차를 줄여줄 수 있기 때문에 문제점을 해결할 수 있는 핵심 요소이다. 최근 오버샘플링에 대한 잡음 형상화 기술을 사용한 TDC가 해상도를 증가시키기 위해 소개 되었다<sup>[2]</sup>. 하지만 전력소모가 크고 신호를 시간영역에서 전압영역으로 변환할 때 공정변화나 온도변화 등에 강한 회로를 필요로 하는 단점이 있다. 이에 반해 제안한 고해상도 시간 디지털 변환기(HR-TDC)는 Coarse-Fine의 2단 구조와 2개의 시간증폭기(Time Amplifier)만을 사용하여 해상도를 ps이하까지 높일 수 있으므로 사용하기에 적당하다.

## II. 본 론

본 논문은(보고서는) 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터의 연구결과입니다.

### 1. 고해상도 시간 디지털 변환기(HRTDC)

HR-TDC는 기존의 Coarse-Fine 구조와 2단 버니어 시간 증폭기(2S-VTA)를 사용했다<sup>[3]</sup>. 기존 회로와의 차이점은 첫 번째로 2S-VTA의 이득을 64까지 증가시켜서 Fine-TDC(FTDC)의 해상도를 6bit까지 높였다. 두 번째로 Coarse-TDC(CTDC)의 해상도를 기존의 5bit에서 6bit로 증가시킴으로서 최종적으로 12bit의 해상도를 얻었다. CTDC 해상도의 증가는 HR-TDC의 입력범위를 넓혀준다. HR-TDC 블록도를 그림1에 나타냈다.

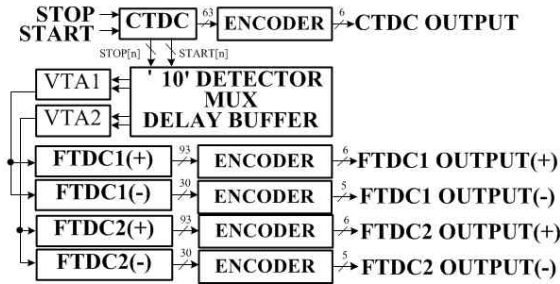


그림 1. HR-TDC 블록도

세 번째로 CTDC와 FTDC의 각 단 지연시간을 10 ps에서 8ps로 줄였다. 시간이 짧아지면 해상도는 증가하지만 공정 변화에 따른 소자의 미스매치에 의해 결과값이 부정확해질 수 있다. 그래서 시뮬레이션 결과를 통해 PVT변화에도 최적의 해상도와 안정적인 결과값의 trade off에 의해 8ps를 결정했다. 2단 구조의 해상도는 표1과 같다.

표 1. HR-TDC 해상도

	Resolution calculation
CTDC	8ps
FTDC	8ps / 64 = 0.125ps

### 2. 디지털 보정 회로

2S-VTA의 비선형성과 에러 보정을 위한 디지털 보정 회로는 기존과 같은 구조로 되어있으며<sup>[3]</sup>, 엔코더의 출력력을 외부에서 계산하는 구조이다. FTDC의 출력이 1bit가 증가했기 때문에 이를 계산해주는 디지털 회로의 크기는 2배 이상 증가하기 때문에 레이아웃을 고려해야 한다. 적용할 DPLL 종류에 따라 레이아웃 방식이 달라질 수 있으며 FTDC의 (+)와 (-)값의 쓰임이 다를 수 있기 때문이다. FTDC의 보정방법은 다음과 같다. FTDC1은 START가 STOP을 따라잡기 이전의 잔여시간이고, FTDC2는 따라잡은 이후의 초과시간이다. 2S-VTA의 동작에 에러가 발생한다면 증폭된 결과가

음수값이 나올 수도 있기 때문에 30bit의 (-)블록을 추가 하였다. 4개의 FTDC는 (+)와 (-)의 차에 의해 FTDC1과 FTDC2로 만들어 지고 FTDC의 최종 값은 식(1)에 의해 계산되어 진다<sup>[3]</sup>.

$$FTDC = \frac{64}{FTDC1 + FTDC2} \times FTDC1 \quad (1)$$

식(1)을 통해 2S-VTA의 에러를 줄임으로서 64이상의 일정하지 않은 증폭 변화에도 비교적 정확한 결과값을 얻을 수 있다.

### III. 모의실험 결과

제안한 HR-TDC는 0.18 $\mu$ m CMOS 공정으로 설계했으며 전체 면적은 2.45mmX0.15mm이고 그림2에 레이아웃을 나타냈다.

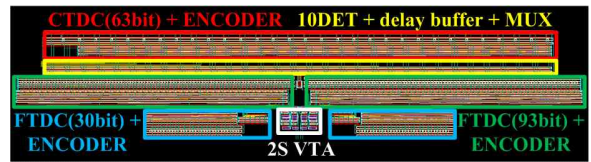
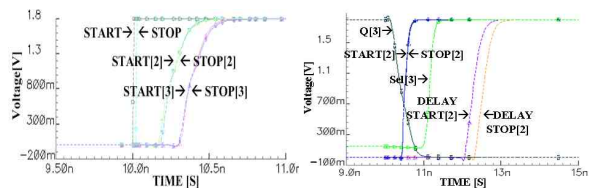


그림 2. HRTDC 레이아웃

기존의 회로와 비교하여 2bit의 해상도가 높아졌지만 정밀한 레이아웃 기법에 의해 크기는 약 0.92mm<sup>2</sup> 줄어들었다<sup>[3]</sup>. 그림3은 HR-TDC의 중요 신호들에 대한 시뮬레이션 파형이다.



(a) (b)

그림 3.(a) CTDC 해상도 확인 파형  
(b) HR-TDC 동작 신호들

그림3(a)는 각 단의 지연시간이 설계한 8ps씩 일정하게 동작하는 것을 확인한 파형이다. START와 STOP은 19ps의 오프셋으로 CTDC에 입력된 후 2번째 단에서 3ps의 오프셋을, 3번째 단에서는 -5ps의 오프셋을 확인했다. 그림3(b)는 각 블록의 동작을 확인할 수 있는 파형인데 첫 번째로 Q[n] 파형은 '10' DETECTOR 블록에서 START가 STOP을 따라 잡았을 때 high에서 low로 바뀌는 신호이다. 두 번째로

Sel[n] 파형은 MUX 블록에서 Q[n] 신호가 low에서 high로 바뀔때 low에서 high로 바뀌는 신호이다. 세 번째로 DELAY START, DELAY STOP 파형은 3ps의 오프셋이 2S-VTA에서 64이상의 증폭률로 증폭되어 약 192ps의 오프셋으로 FTDC에 입력되는 파형이다. 표2는 디지털 보정 회로까지 계산한 HR-TDC의 모의 시뮬레이션 결과이며, 그림4는 FTDC1과 FTDC값을 그래프로 나타냈다.

표 2. HRTDC 모의실험 결과

시간차	CTDC OUTPUT	시간차	FTDC1	FTDC2	FTDC OUTPUT
8	1	0.125	1	75	1
16	2	0.25	2	75	2
24	3	0.375	3	69	3
32	4	0.5	5	66	4
40	5	0.625	6	70	5
48	6	0.75	6	62	6
56	7	0.875	7	61	7
64	8	1	8	60	8
72	9	1.125	9	59	8
80	10	1.25	10	56	10
88	11	1.375	12	60	11
96	12	1.5	14	62	12
104	13	1.625	15	55	14
112	14	1.75	16	51	15

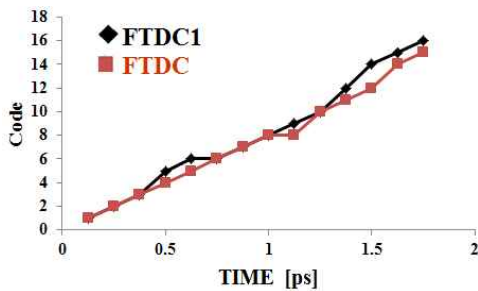


그림 4. FTDC1과 FTDC 비교 그래프

그림4에서 디지털 보정 회로가 FTDC의 결과값을 선형화 시켜 주며 단조성을 확보해주는 것을 확인할 수 있다.

#### IV. 결론

고해상도 시간 디지털 변환기(HR-TDC)를 0.18 $\mu$ m CMOS 공정으로 설계했다. PVT변화를 예상하기 위해 레이아웃을 통한 LPE결과를 이용하여 설계하였으며 출

력을 보정하기 위한 디지털 보정 회로는 스키메틱 수준에서 설계한 회로를 이용하여 모의실험을 하였다. 해상도 향상을 위하여 Coarse-Fine 구조와 64이상의 이득을 갖는 2S-VTA를 사용하여 최대 0.125ps의 높은 해상도를 얻었다. 비교적 간단한 구조를 통하여 512ps의 넓은 입력범위와 12bit의 높은 해상도를 구현했다.

SoC에서 클럭 생성과 클럭 합성에 면적이 작은 DPLL을 사용하기 위해서는 위상잡음을 줄일 수 있는 방법이 필요하기 때문에 고해상도 TDC는 많은 곳에 적용 가능할 것으로 예상된다.

#### 참고 문헌

- [1] A. Elshazly, et al., "A 1.5GHz 890 $\mu$ W digital MDLL with 400fsrms integrated jitter, -55.6dBc reference spur and 20fs/mV supply-noise sensitivity using 1b TDC," IEEE ISSCC pp.242-244, 2012.
- [2] Y. Cao, et al., "A 1.7mW 11b 1-1-1 MESH  $\Delta\Sigma$  Time-to-Digital Converter," ISSCC Dig. Tech. Papers, pp.480-481, 2011.
- [3] Jongsuk Lee, et al., "A Design of Vernier Coarse-Fine Time-to-Digital Converter using Single Time Amplifier," JSTS, Vol.12, No.4, pp.411-417, DEC. 2012.