

비동기 방식 UWB 통신용 CMOS 송수신기 연구

Jungwan Park¹, Sungsoo Choi² and Yong Moon¹

¹ Department of Electronic Engineering, Soongsil University.

²Power Telecommunication Network Group, Korea Electrotechnology Research Institute
worldcopy@hanmail.net

Abstract – In this paper, we propose a transceiver for noncoherent OOK(On-Off Keying) Ultra Wide Band system based on power detection. The transceiver are designed using 0.18 micron CMOS technology and verified by simulation using SPICE. The transceiver consist of parallelizer, Analog-to-Digital converter, clock generator, PLL and impulse generator. The time resolution of 1ns is obtained with 125MHz system clocks and 8x parallelization. The synchronized eight outputs are delivered to the baseband. The impulse generator produces 1ns width pulse using digital CMOS gates. The simulation results show the feasibility of the proposed UWB Transceiver.

Keywords: Transceiver, UWB(Ultra Wide Band), OOK(On-Off Keying), A/D Converter, Parallelizer, synchronizer

1 서 론

최근 고속 데이터 통신 시스템에 대한 관심이 증가 있으며 그 중에서도 저전력 UWB(Ultra Wide Band) 통신 시스템에 대한 관심이 증가하고 있다. 2002 년 FCC 에서 UWB 시스템을 위한 상업적 주파수 대역을 할당 한 것을 시작으로[1], IEEE 802.15 WPAN Task Group 3a 에서 100Mbps 이상으로 동작하는 고속 데이터 전송률을 가진 전송방식으로 UWB 포함시켰다[2]. UWB 기반의 시스템은 가능한 한 적은 전력 사용이 필요한데, 이를 위해서 OOK(On-Off Keying) 변조방식과 비동기 검출방식이 최근 UWB 시스템에서 시도되고 있다[3]. 비동기식 OOK UWB 시스템은 동기식 시스템에 비해서 BER 성능은 좋지 않지만, 수신단에서 정밀한 동기화가 필요하지 않고, 회로가 간단하므로 저전력 측면에서는 동기식보다 더 효율성이 크다. 일반적인 무선통신시스템의 송수신기는 RF 블록, 송수신부, 디지털 기저대역 블록으로 구성되어 있다. 기저대역 블록은 일반적으로 하나의 IC 로 구현이 되어 있지만, RF 블록과 송수신부는 여러 가지 소자나 IC 칩들로 구성되어 있어 외부와의 인터페이스를 위한 신호의 증폭이나 패드 구동 등으로 인해 전력 측면에서 바람직하지 못하다. 그러므로 저전력 설계를 위해서는 RF 블록, 송수신기, 디지털 기저대역 블록 등의 모든 구성 요소들을 하나의 칩으로 만들 필요가 있으며, 최근 CMOS 공정의 발전으로 최대 동작 주파수가 GHz 대역도 가능하므로 CMOS 공정을 사용하여 단일 칩을 만드는 것은 성능이나 가격 등에서 유리하다.

이에 본 연구에서는 CMOS 공정을 사용하여 저전력, 고성능 UWB 송수신기를 설계하였다. 본 논문에서는 먼저 비동기 방식 UWB 시스템의 구조와 송수신기 블록에 대한 설명을 진행하고, 제안된 회로에 대한 실험 결과 및 레이아웃을 설명하고, 결론을 맺도록 한다.

2 아날로그 송수신기 설계

2.1 비동기 OOK 방식 UWB 시스템의 구조

비동기식 UWB 송수신기의 신호 복조방식은 수신 받은 펄스의 전력이 기준전력보다 큰 경우에만 신호를 검출하는 방식이다. 따라서 상관기(correlator) 및 기준 펄스 생성기를 필요로 하는 동기방식 통신 시스템에 비해 매우 간단하다[4][5]. 비동기 OOK 방식 UWB 시스템은 그림 1 에서처럼 안테나와 RF 단, 송수신부, 기저대역으로 이루어져 있으며 제안하는 송수신부는 병렬기, 아날로그-디지털 변환기, 동기화 블록, 위상동기루프에 의해 제어되는 클럭 생성기 그리고 임펄스 발생기로 구성되어 있다.

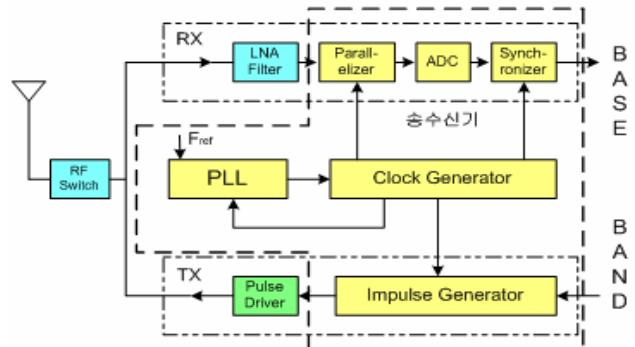


그림 1. 비동기 방식 UWB 시스템의 블록도

2.2 병렬기(Parallelizer)

UWB 시스템의 동작속도는 1Gbps 이상으로 매우 빠르기 때문에 기저대역 연결 시 병렬화 기법을 사용하였다. 병렬화 기법을 사용할 경우 동작속도를 낮출 수 있으므로 기저대역 동작속도에 대한 부담을 줄일 수 있으며, 전체 시스템 동작속도도 낮출 수 있으므로 디지털 기저대역과 집적이 가능하다. 병렬기는 8 개의 S/H (Sample-and-Hold)로 구성되며 NMOSFET 과 캐패시터를 사용한다. 캐패시터의 경우 MOSFET 의 내부의 기생 캐패시터 성분들을

사용한다. 이 병렬기에 의해 8-bit로 병렬화된 신호가 출력되게 되며 그 구조를 그림 2에 나타내었다.

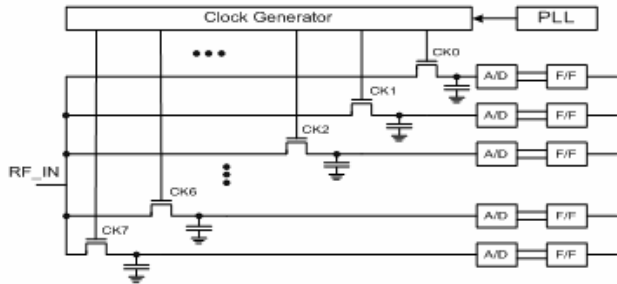


그림 2. 고속 RF 신호의 병렬화

RF 입력은 "RF_IN" 포트를 통하여 들어오게 되고 PLL에 의해서 제어되는 클럭 생성기에 의해 1ns마다 표본화 된다. 클럭 생성기는 링 구조를 사용한 발진기로 차동 구조를 사용하였으며, 총 8개의 클럭을 생성한다. 병렬화가 동작속도에 대한 부담을 줄이는 것은 사실이지만 병렬화 비트수가 늘어나게 되면 부하 및 면적이 커지기 때문에 비트수에 대한 적절한 선택이 필요하다. 제안된 송수신기는 일반적인 기저대역에서 데이터 폭이 8비트의 정수배를 사용한 경우가 많으므로 호환성 등을 고려하여 8비트를 사용하였다.

2.3 클럭 생성기 및 위상동기루프 블록

클럭 생성기는 차동 링 발진기 (Ring Oscillator)로 구성되어 있으며, PLL의 출력 전압에 의해서 주파수가 조절된다. 클럭 생성기의 출력은 일정한 간격을 가지는 8개의 클럭이 되며, 이 각각의 출력들은 S/H 회로를 순차적으로 동작시킨다[6]. 발진기의 구조는 8개의 딜레이 셀들이 순차적으로 연결되어 있는 형태가 되며 그 구조는 그림 3과 같다.

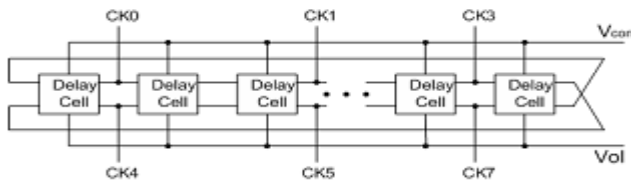


그림 3. 클럭 생성기의 블록도

발진기의 단수가 짝수이므로 마지막 딜레이 셀의 출력을 서로 교차하여 첫 번째 셀로 들어가게 한다. 1Gbps 샘플링을 위한 동작속도는 125MHz이며 각각의 딜레이 셀은 0.5ns의 지연시간을 보이므로 출력되는 클럭은 딜레이 셀 2개를 통과한 신호가 되며, 1ns의 지연시간을 가지게 되어 125MHz 클럭을 얻을 수 있다. PLL의 저역통과필터를 통과한 제어전압은 링 발진기의 NMOS로 들어가 주파수를 조절하게 된다. Vol은 전류레벨을 일정하게 유지하기 위해서 추가된 회로이다. 각각의 출력 out과 outb는 다음 단의 입력으로 들어가게 되고, 클럭으로 사용되는 신호는 클럭이 구동해야 하는 게이트 수를 고려하여 버퍼를

통과한 신호를 사용하게 된다. 그림 4에 딜레이 셀의 회로도를 나타내었다.

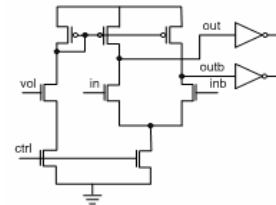


그림 4. 클럭 생성기 시간지연 셀

PLL은 발진기로부터 125MHz의 출력을 분주기를 통해서 25분주 하여 위상 주파수 비교기(Phase Frequency Detector)의 입력인 5MHz인 기준 주파수와 서로 비교하며 그 비교된 값에 의해 전하펌프(Charge Pump)를 통하여 전류를 증가 또는 감소하여 일정한 주파수를 유지하도록 하게 한다. 이 전하펌프의 출력은 저역통과필터를 통과한 후 딜레이 셀의 제어 전압으로 들어가게 된다. 이러한 동작을 통하여 클럭 생성기가 항상 125MHz로 동작하게 한다. PLL의 블록도를 그림 5에 나타내었다.

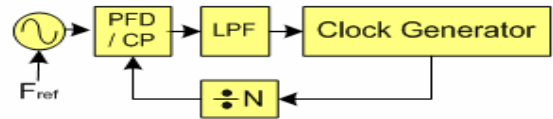


그림 5. 위상동기루프(Phase Locked Loop)의 블록도

2.4 아날로그-디지털 변환기

RF 단은 고속의 아날로그 신호들을 받게 되는데, 기저대역에서는 주로 디지털로 처리해야 하므로 대부분의 통신 시스템들은 아날로그-디지털 변환기를 필요로 한다. UWB 송수신기의 경우 매우 작은 펄스를 검출해야 하므로 전력소모를 고려한 복잡한 S/H 회로를 필요로 하게 된다. 하지만 본 논문에서 제안한 회로는 매우 작은 펄스를 처리하기 적합한 구조이면서도 간단한 회로로 구성되어 있다. 그 구조는 그림 6과 같으며, 플래시 ADC 형태이나 높은 해상도가 필요 없으므로 하드웨어의 부담은 적다. 설계한 아날로그 디지털 변환기의 해상도는 2비트이다.

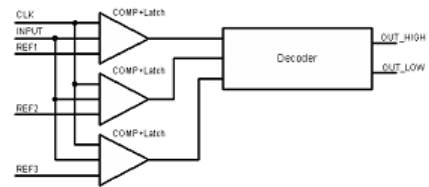


그림 6. 2-bit 플래시 구조 아날로그-디지털 변환기

"COMP+Latch"는 클럭에 의해서 동작하며, 회로 내부는 비교기와 래치로 이루어져 있다. 기준 전압은

0.45V, 0.9V, 1.35V 를 사용하며 클럭이 high 가 되었을 때, 기준 전압과 입력전압을 비교하여 입력전압이 클 경우 입력신호를 검출하여 래치에 저장하고 디코더를 통하여 출력값을 out_high 와 out_low 로 출력한다. "COMP+Latch"는 클럭에 의해 동작하므로 그 출력값은 클럭의 주기만큼의 폭을 갖는 펄스가 되며, 그림 7 에 "COMP+Latch"의 회로도를 나타내었다.

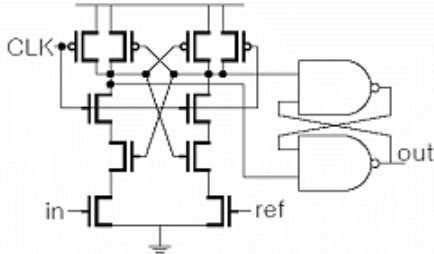


그림 7. 비교기 및 래치 회로

그런데, 0.45V 를 기준 전압으로 사용하는 "COMP+Latch"회로의 경우 MOS 가 slow 한 경우 문턱전압이 0.45V 정도가 되어 회로가 제대로 동작하지 않을 수 있다. 그러므로 이 문제를 해결하기 위해서 레벨 쉬프터를 사용하였으며, 그 구조는 그림 8 과 같다.

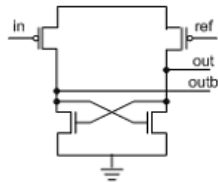


그림 8. 레벨 쉬프터 회로도

레벨 쉬프터는 낮은 전압에서 동작할 수 있도록 PMOS 를 입력단으로 사용하고, 입력된 신호를 비교하여 out 신호와 outb 신호를 출력으로 내보내게 된다. NMOS 의 경우 문턱전압이 0.45V 와 비슷한 수준이어서 검출하는데 문제가 되지만, 0.45V 는 PMOS 를 구동하기 충분한 전압이므로 기준 전압과 입력 전압을 비교할 수 있다. 레벨 쉬프터의 출력 out 과 outb 는 각각 "COMP+Latch"의 "in" 포트와 "ref"포트로 들어가게 되고 레벨 쉬프터에 의해 전압레벨이 바뀐 신호들은 비교기와 래치를 통해서 그 출력값을 내보내게 된다. 클럭은 그림 3 의 클럭 생성기를 통해 생성된 8 개의 클럭이(CK0~CK7) 사용된다.

2.5 동기화 블록

병렬화된 신호를 동기화하기 위해 에지 트리거형 D 플립-플롭이 사용되었다. 아날로그-디지털 변환기의 S/H 회로는 병렬화 하기 위해 1ns 씩 지연된 서로 다른 8 개의 클럭을 사용하므로 출력들은 동기가 맞지 않아, 이 출력들을 기저대역에서 바로 사용할 수 없다.

그러므로 기저대역의 클럭을 이용하는 에지 트리거형 D 플립-플롭을 사용하여 동기를 맞추며, 그 회로도를 그림 9 에 나타내었다.

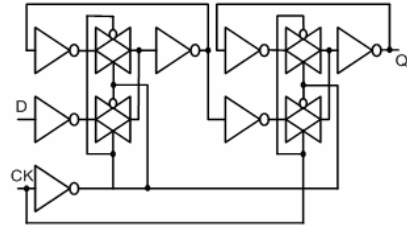


그림 9. 동기화 블록을 위한 D-F/F 회로도

2.6 임펄스 발생기

UWB 통신 시스템은 일반적으로 nanosecond 이하의 매우 작은 폭의 신호를 사용하는 임펄스 무선통신 구조를 기반으로 한다. 그러므로 간단하고 저전력 동작이 가능한 임펄스 발생기를 CMOS 게이트를 사용하여 구현하였다. CMOS 게이트와 PLL 의 제어전압을 이용한 딜레이 셀을 사용하며, 구조가 간단하면서도 높은 성능을 얻었다. 그림 10 에 임펄스 발생기 구조를 나타내었다.

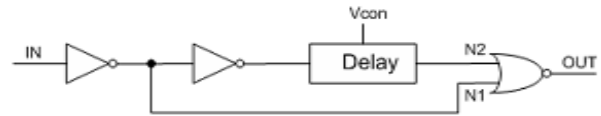


그림 10. 임펄스 생성기 회로도

그림에서 보듯이 입력신호와 딜레이 된 신호가 NOR 게이트의 동작에 의해서 두 신호가 0 이 되는 구간에서 임펄스를 발생시키는 구조이다. Delay 블록은 링 발진기에 사용된 딜레이 셀을 그대로 사용하며, 전압을 조절하여 펄스의 폭을 변경한다.

3 실험결과 및 레이아웃

제안된 송수신기는 0.18 μm CMOS 공정을 사용하여 설계하고 HSPICE 를 이용하여 검증하였다. 전원전압은 1.8V 를 사용하였다.

3.1 임펄스 발생기 및 클럭 생성기

임펄스 발생기의 실험 결과는 그림 11 에 나타내었다. 반전된 입력신호와 지연된 입력신호가 NOR 게이트 동작에 의해 약 1ns 의 폭을 가지는 펄스 형태의 출력을 얻을 수 있다. 이 신호는 제안한 송수신기를 검증하는 입력신호로 사용된다.

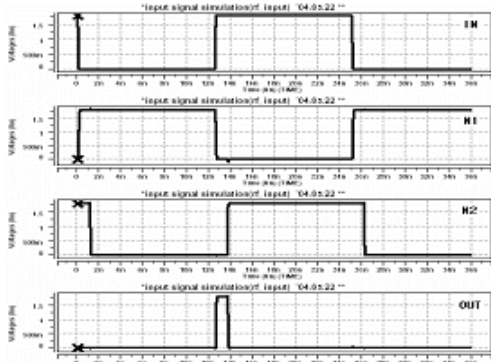


그림 11. 임펄스 생성기의 모의실험 결과

클럭 생성기의 모의실험 결과는 그림 12 와 같다.

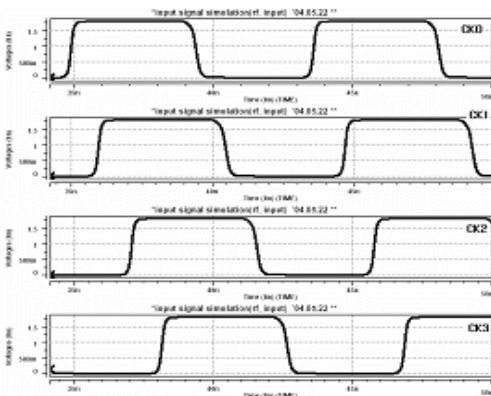


그림 12. 클럭 생성기로부터 생성된 제어 클럭

그림에 표시된 파형은 첫 번째부터 네 번째 클럭이며 각각의 파형들은 1ns 의 지연시간을 가진다. 8 개의 클럭이 생성되며 이 클럭들은 병렬기의 샘플링 클럭으로 사용된다. 클럭 생성기는 PLL 에 의해서 제어된다. 딜레이 셀의 출력신호는 S/H 회로를 구동하기에는 전류가 적으므로, 버퍼를 사용하였다. 위 그림의 출력 파형은 버퍼를 통과한 다음의 신호들이다.

3.2 아날로그-디지털 변환기 및 병렬기

그림 13 은 2 비트 아날로그-디지털 변환기와 병렬기를 통과한 결과파형이다. 결과 파형은 5 개의 입력 펄스들이 8 개의 클럭 신호 중 하나에 의해서 검출되어 5 개의 파형이 나타나는 것을 보여준다. 각 출력 값들은 2 bit 의 출력을 보여주지만 같은 값이 나오게 되므로 MSBs 신호만 그림 13 에 나타내었다. 입력 신호들은 매우 짧은 신호들이지만 클럭에 의해 동작하는 비교기와 래치에 의해 그 검출된 신호를 비교기 클럭의 주기만큼 유지하게 되므로 기저대역에서도 어려움 없이 임펄스 정보를 처리할 수 있다.

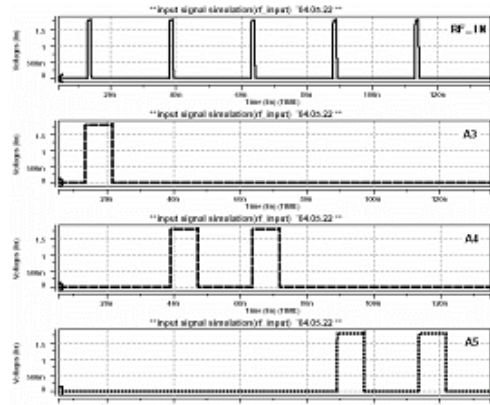


그림 13. 병렬기의 모의실험 결과

비동기식 UWB 시스템에서는 데이터 처리속도와 위치의 정확성이 송수신기의 시간 해상도에 의존하므로 송수신기의 시간 해상도는 매우 중요하다. 시간 해상도는 병렬기와 샘플링 속도에 의해 결정되는데 하드웨어 오버헤드와 clock slew를 고려하여 결정해야 한다. 위에 보인 모의실험 결과는 잡음이 없는 상태에서의 결과 이므로 아날로그-디지털 변환기의 출력은 “00” 과 “11” 만이 존재한다. 그러나, 실제 통신환경에서는 수많은 잡음이 존재하므로 기준전압 조절이 필요하다. 2-bit 아날로그 -디지털 변환기를 가지고 있는 제안된 송수신기는 잡음 등의 주변 환경에 따라서 기준전압을 3 가지로 조절 할 수 있다.

3.3 동기화 블록을 포함한 송수신기

병렬기의 출력은 제어 클럭 간의 1ns 의 딜레이 때문에 동기화가 필요하다. 에지 트리거형 D 플립-플롭을 사용하여 동기화된 출력을 그림 14 에 나타내었다.

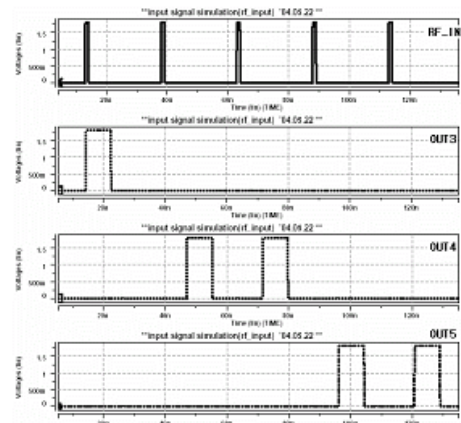


그림 14. 플립-플롭을 이용하여 동기화된 출력들

위 그림의 출력들은 동기화 되어 그림 13 과 비교하면 약간 오른쪽으로 이동되어 있음을 알 수 있다. 그림 15 는 잡음환경 하에서 송수신기 동작 결과를

보여준다. 그림에서 각각의 신호 레벨에 따라 2-bit의 해상도를 가지는 출력 값이 발생함을 알 수 있다.

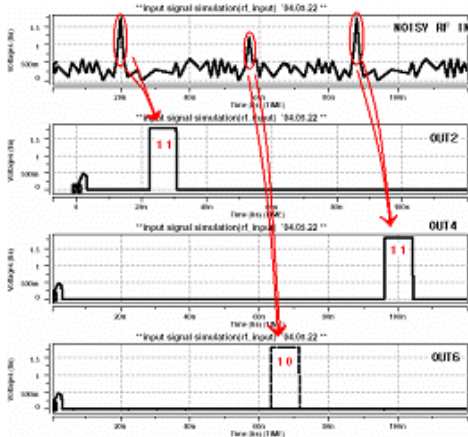


그림 15. 잡음이 있는 입력신호에서의 모의실험 결과

3.4 레이아웃

그림 16은 송수신기의 레이아웃이며, 좌측으로 발진기와 임펄스 발생기가 있고 우측으로 2-bit 아날로그-디지털 변환기가 병렬로 연결되어 있으며, 플립플롭을 사용한 동기화 블록이 위치한다.

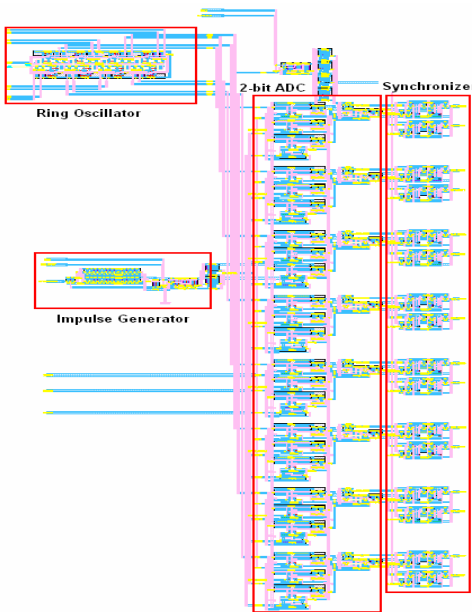


그림 16. CMOS 송수신기의 전체 레이아웃

4 결론

본 논문에서 전력 검출을 기반으로 하는 비동기식 UWB 시스템을 위한 송수신기를 제안하고 모의실험을 통하여 송수신기의 동작을 검증하였다. 제안된 UWB 송수신기는 약 1ns 폭의 임펄스 신호를 만들고, 이를 RF 신호입력으로 하여 제안한 송수신기를 검증하였다.

또한 병렬화 기법을 사용하여 1Gbps 이상의 데이터 전송률이 가능함을 확인하였다. 출력은 8개의 클럭에 의해서 병렬화되어 1Gbps의 데이터들은 기저대역에서는 125MHz의 시스템 클럭으로 처리할 수 있다. RF 신호는 아날로그-디지털 변환기와 래치에 의해서 2-비트의 디지털 값으로 바뀔을 확인하였다. 실험 결과를 통하여 제안된 송수신기가 전력소모가 적으며 효과적으로 비동기식 UWB 시스템으로 사용가능하고 잡음환경 및 비잡음환경 하에서 올바르게 동작함을 확인하였다. 본 연구에서는 0.18 μm CMOS 공정을 사용하여 설계, 검증 및 레이아웃을 수행하였고, 현재 공정을 진행하고 있다. 제안한 송수신기는 저전력 비동기 방식의 UWB 시스템이나 통신 시스템의 구현에 중요한 역할을 할 것으로 기대된다.

Acknowledgment

CAD Tool 및 공정은 IDEC의 지원을 받았습니다

참고서적

- [1] Federal Communications Commission, Revision of Part 15 of the Commission's Rules Regarding Ultra-Wideband Transmission, ET Docket 98-153, April 2002.
- [2] <http://www.ieee802.org/15/pub/TG3a.html>
- [3] I. Immoreev and A. Sudakov, "Ultra-wideband interference resistant system for secure radio communication with high data rate," *Proc. IEEE Int'l Conf. Circuits & Syst. for Commun. (ICCSC 2002)*, pp. 230-233, St. Petersburg, Russia, June 2002.
- [4] S. Y. Lee, "Design and Analysis of Ultra-Wide Bandwidth Impulse Radio Receiver," Ph. D Dissertation, University of Southern California, August 2002.
- [5] I. D. O'Donnell, M. S. W. Chen, S. B. T. Wang, and R. W. Brodersen, "An integrated, low power, ultra-wide band transceiver architecture for low-rate, indoor wireless systems," *Proc. IEEE Workshop Wireless Communication & Networking*, Pasadena, USA, September 2002.
- [6] Behzad Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996