

## V-band PLL용 60GHz VCO의 설계

이중석, 문용

승실대학교 전자공학과

E-mail : ljs1385@ssu.ac.kr

밀리미터 웨이브 대역의 고속 데이터 전송에 대한 요구가 높아짐에 따라 높은 주파수의 클락 생성이 필수적이며, PLL 을 주로 사용한다. 전압 제어 발진기 (VCO)는 PLL 에서 가장 중요한 블록이며, 60 GHz의 VCO 를 PLL 에 사용하면 빠른 락킹 시간과 넓은 락킹 주파수 범위를 얻을 수 있다. 본 논문에서는 V-band PLL 에 적용할 수 있는 60 GHz VCO 를 설계했으며 그림 1. (a)에 회로도를 나타냈다. 제안하는 VCO 는 RF 인덕터를 사용한 LC형 구조이며 2 개의 벡터는 VCO 의 튜닝범위를 넓혀주기 위해 사용하였다. PMOS 는 전압-전류 특성상 바이어스 회로에는 적합하지만 고주파 동작에 적합하지 않기 때문에 MN1 과 MN2 의 NMOS 를 이용한 교차쌍 구조로 설계하였으며, 이는 부정저항 (-2/gm)을 제공하여 LC tank 에서 발생하는 손실을 줄여준다. V-band 에 적용하기 위해서는 출력전력도 중요한 지표이기 때문에 출력버퍼를 추가했다. 설계한 VCO 는 65 nm CMOS 공정을 사용하여 제작하였고, 칩 제작은 IDEC 의 지원을 받았다. 그림 1. (b)~(d)는 제작한 VCO 의 칩 사진과 측정결과이다. 칩 측정은 프로브스테이션을 사용하여 웨이퍼에서 프로빙하였고, 60.81~62.05 GHz의 동작범위와 -30.67dBm 의 출력전력, 전원전압 1.2V 에서 14.4 mW의 소모전력이 측정됐다. 위상잡음은 중심주파수 61.28 GHz에서 -86.5dBc/Hz@1MHz 이다. 설계한 VCO 는 V-band 에서의 타 VCO 와 비교하여 낮은 전력소모와 넓은 동작범위를 갖는다[1].

표 1. 기존 연구와의 성능 비교

	Process	Center Freq. [GHz]	FTR [%]	PDC [mW]
[1]	45nm CMOS	70	0.2	45
This work	65nm CMOS	61.28	2	14.4

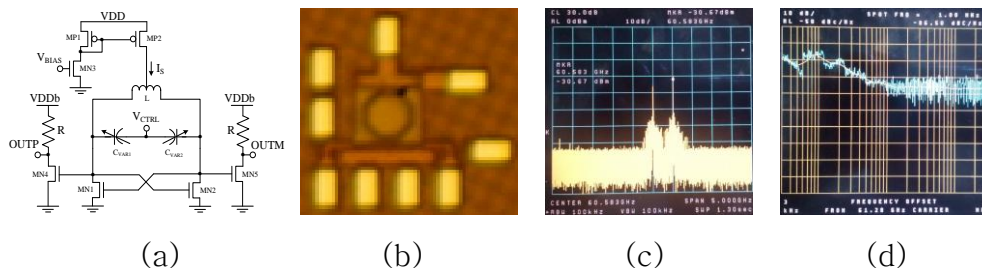


그림 1. (a)VCO 회로도 (b) 칩사진 (c) 출력 파워 스펙트럼 (d) 위상잡음 측정결과

[1] Katz, A., Degani, O., Shacham-Diamond, Y., Socher, E., "A beyond 60GHz cross-coupled fundamental VCO in 45nm CMOS," IEEE, COMCAS, pp.1-5, Nov. 2009.