

NFC 아날로그 프론트엔드의 설계

김진호, 문 용
 숭실대학교 전자공학과
 e-mail : jh4747h@naver.com, moony@ssu.ac.kr

A Design of Passive Mode NFC Analog Front-End

Jin-Ho Kim and Yong Moon
 School of Electronic Engineering
 Soongsil University

Abstract

We designed the Analog Front-End for NFC Passive Mode with SMIC 0.18um CMOS Process. To satisfy the ISO/IEC-14443A International Standards of 100% Modulated ASK signal.

Designed Analog Front-End consists of Power supply Block and Demodulation Block. Receive a lower Supply voltage, and the tried to increase the reading distance between the Reader and the Tag IC. The propose Analog Front-End could be used for many products having NFC functions.

I. 서론

NFC(Near Filed Communication)는 근거리 통신규약으로 13.56MHz의 주파수 대역을 사용하며 교통카드, 출입통제, 전자화폐 등의 스마트카드에 응용이 되고 있다. 리더와 태그간 거리가 수십 센티미터 이내에서 무선인식 및 데이터 전송 기술이 융합된 형태이다.¹⁾

NFC의 국제 표준은 ISO/IEC-18092이고 신호의 변조도에 따라 ISO/IEC-14443A와 ISO/IEC-14443B로 나누기도 하며, 능동 모드, 수동모드, RFID모드의 세 가지 방식을 지원하도록 규정되어 있다.

본 설계에서 사용하는 아날로그 프론트엔드의 주요 사양은 아래의 표와 같다.

표 1. NFC 아날로그 프론트엔드 사양

Standard	ISO/IEC-14443A
Carrier Freq.	13.56MHz ± 7KHz
Modulation	ASK 100%
Transmission Rate	212Kbps / 424Kbps
VDD(전원전압)	1V

그림 1은 NFC 아날로그 프론트엔드의 블록도이다.

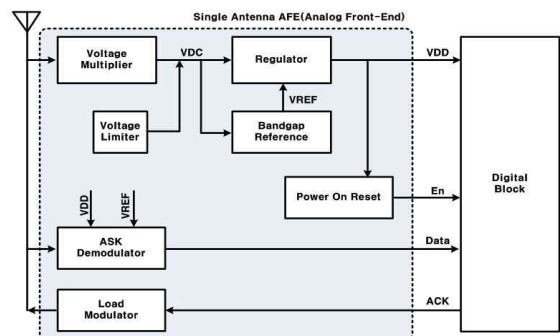


그림 1. 제안하는 Analog Front-End 블록도

NFC 아날로그 프론트엔드는 수동 모드로서 복조기 및 디지털 블록에 안정된 전압을 공급해주는 전원공급 블록과 리더로부터 받은 NFC신호를 복조하는 복조블

록으로 구성되어 있다.

전원공급 블록은 NFC신호로부터 DC전원을 생성하기 위한 전압 곱셈기와 외부에서 전원이 흔들리거나 온도가 변하더라도 안정된 DC전원을 공급하기 위한 밴드갭 전압원과 레귤레이터, 인가 받은 전원에 따라 시스템을 리셋하기 위한 파워 온 리셋으로 구성되어 있다. 복조블록은 리더로부터 받은 데이터를 디지털 블록에 제공하는 기능을 수행하며 포락선 검출기와 필터 및 미분기, 비교기, 슈미트 트리거로 구성되어 있다.

본 논문에서는 ISO/IEC-14443A 표준을 만족하는 NFC Analog Front-End를 0.18 μ m CMOS 공정으로 설계하였으며, 시뮬레이션을 통해 검증하였다.

II. 아날로그 프론트엔드 설계

2.1 전원공급 블록

전압 곱셈기(Voltage Multiplier)의 입력 단(Rx)에는 ASK 100%로 변조된 신호가 입력된다. 리더와 NFC Tag간 인식거리는 6cm정도이며 그 이상의 거리를 인식하기 위해선 리더로부터 많은 양의 전원을 생성할 수 있어야 한다. 본 연구에서는 낮은 문턱전압을 갖는 MOS소자를 사용하여 단수마다 문턱전압으로 인해 손해 보는 전압을 줄였으며, 높은 전원전압을 인가해도 사용할 수 있는 MOS를 사용하였다. 단수는 7단 이며, 면적을 최대한 줄이기 위해 기판과 연결된 노드는 MOS 캐패시터를 사용하였다.

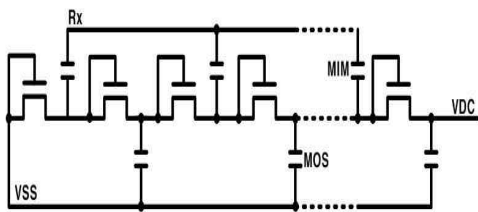


그림 2. 전압 곱셈기 회로도

밴드갭 전압원(Bandgap Reference)은 전압 곱셈기로부터 받은 전원이 흔들리거나, 온도변화에도 흔들리지 않는 일정한 전원을 만들어낸다. CMOS공정에서 설계하기 위해 T_{AT} (Complementary to Absolute Temperature)을 만들어내는 BJT소자를 pnp구조로 컬렉터와 베이스를 기판과 연결하여 사용하였으며, 양쪽 노드에 일정한 전류를 흘려주기 위해 2단 연산증폭기를 사용하였다.

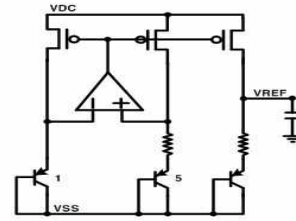


그림 2. 밴드갭 전압원 회로도

전압 리미터(Voltage Limiter)는 전압 곱셈기로부터 너무 높은 전압을 인가받았을 때 회로가 손상되는 것을 방지하기 위해 설계하였다. 정해진 전압 이상의 전압이 인가되면 다이오드 구조 MOS의 문턱전압을 넘어 리미터 쪽으로 방전하게 된다.

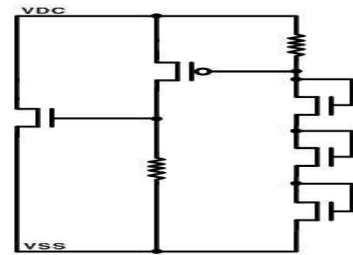


그림 3. 전압 리미터 회로도

레귤레이터(Regulator)는 비교기의 한쪽 입력을 밴드갭 전압원의 출력전압을 인가하고, 다른 쪽 입력은 패스트랜지스터를 지나는 출력의 피드백을 인가하여 비교기로부터 나오는 출력 전압을 저항분배를 통해 원하는 전원 전압(VDD)을 출력하는 구조이다.

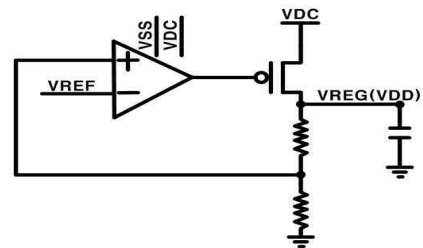


그림 4. 레귤레이터 회로도

2.2 복조 블록

그림 5는 복조기의 블록도이다.

복조기에 들어오는 신호(Rx)는 13.56MHz 주파수를 갖는 ASK100%신호로 포락선 검출기에 의해 신호의 윗부분만 검출을 하게 된다. 다이오드 구조의 MOS와

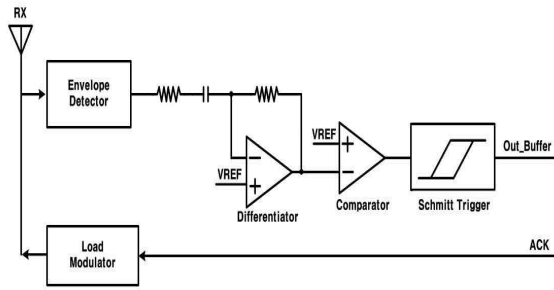


그림 5. 복조기 블록도

저항, 캐패시터로 구성되어 있으며, 검출된 신호는 미분기의 한쪽 입력으로 다른 쪽 입력은 밴드갭 전압원 신호를 입력함으로써 신호의 레벨을 밴드갭 전압원과 같은 레벨로 만들어준다. 이후, 비교기와 슈미트트리거를 거쳐 원래의 신호로 복조하게 된다. 복조된 신호는 출력버퍼와 패드를 지나 디지털 블록으로 인가된다.

III. 아날로그 프론트엔드 검증

설계는 SMIC 0.18 m CMOS 공정을 사용하여 진행하였으며, 검증은 Cadence Tool을 사용했다.

그림 5는 안테나로 유기된 ASK 100%신호가 전원 공급 블록에 공급되어 나오는 출력전압을 보여주고 있다

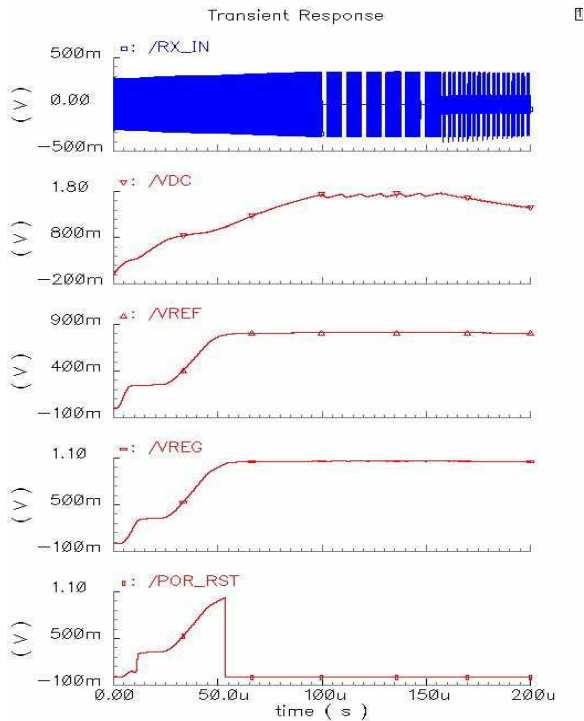


그림 5. 13.56MHz신호 입력에 따른 출력 전압

실제 리더기와 안테나 거리에 따라 안테나에 유기되는 전압은 현재의 한계 거리인 6cm 거리에서 1.2V 인 것을 확인하였다. 인식거리를 10cm까지 늘리기 위해, 안테나에 유기되는 전압을 0.6V를 목표로 하였으며, 측정결과는 아래와 같다.

표 2. NFC신호에 따른 출력전압

RX_IN(Vpp)	VDC	VREF	VDD
3V	2.37V	0.812V	1.06V
2V	2.31V	0.810V	1.06V
1V	2.32V	0.807V	1.05V
0.6V	1.7V	0.808V	1.05V

안테나에 유기된 전압 범위는 0.6V~3V이며, 전압 리미터에 의해 VDC가 2.3V 이상은 차단되는 것을 볼 수 있다. 밴드갭 전압원의 출력전압 VREF는 약 0.8V, 레귤레이터의 출력전압 VREG(VDD)는 약 1V의 전원을 공급하고 있다.

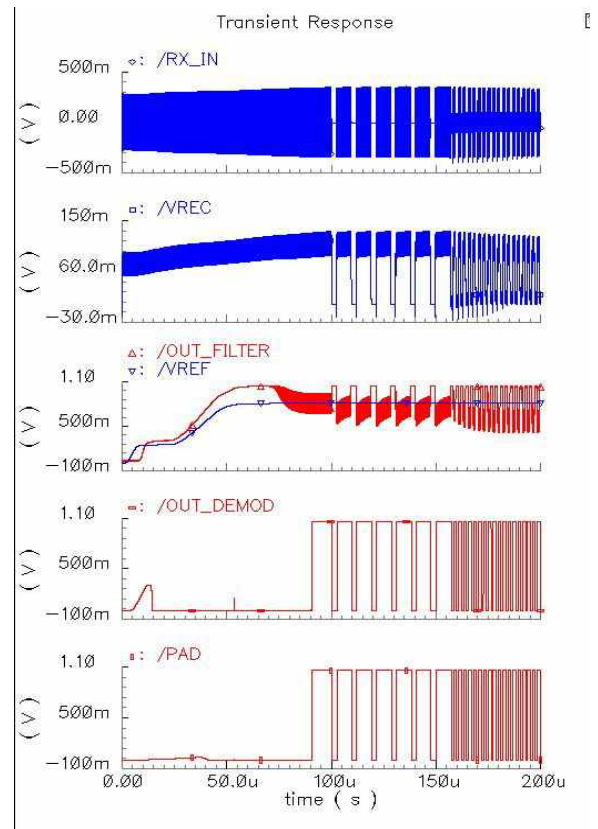


그림 6. 13.56MHz 신호 입력에 따른 복조 동작

그림 6은 전원공급 블록으로부터 인가받은 전원 전압과 13.56MHz 신호 입력을 통해 복조작업 동작을 보여주고 있다.

안테나로 유기된 13.56MHz 신호(RX_IN)가 포락선 검출기를 통해 신호의 윗부분만 검출되는 것을 볼 수 있으며, 이 신호는 미분기를 거친 신호와 밴드갭 전압원 신호와의 비교 및 슈미트 트리거를 거쳐 복조 작업을 완료하게 된다. 슈미트 트리거로 복조되는 신호 뒷단에 출력 버퍼를 지나 패드로 출력되어 나오는 데이터도 원래의 데이터로 복조가 되는 것을 확인하였다.

안테나로 유기되는 전압(RX_IN)에 리더로부터 받은 신호 뒤에 일정한 변조도를 갖는 ASK신호가 일정주기마다 나오는 것을 볼 수 있는데, 이는 모듈레이터에 의해 리더로 응답하는 부하변조(Load Modulation) 작업이다.

IV. 결론

설계한 아날로그 프론트엔드는 전원공급 블록과 복조 블록으로 구성되어 있으며, 13.56MHz의 신호를 통해 전원 공급 및 복조동작을 동시에 수행한다. 전압 곱셈기에서 낮은 문턱전압을 갖는 MOSFET을 사용하여 단수를 늘렸으며, 각 블록의 전류소모를 최소화 하여 낮은 전압에도 높은 전원을 출력할 수 있게 하였다. 이는 결과적으로 리더와 태그사이의 인식거리를 늘어나게 하여 NFC의 수신감도를 증가시키고 신뢰성 향상에 기여한다.

CAD Tool은 IDEC에서 지원을 받았음.

감사의 글

본 연구는 산업통상자원부 및 한국산업기술평가관리 의 산업원천기술개발사업(정보통신)의 일환으로 수행 하였음. [10044092 , 7Gbps급 무선멀티미디어 통신서비스 제공을 위한 60GHz대역 무선LAN/PAN용 OFDM 기반 PHY 및 RF 트랜시버 핵심 IP 기술 개발]

참고문헌

- [1] IDEC_Newsletter 103
- [2] Hyun-Chul Shim, Chung-Hyun Cha, Jong-Tae Park, and Chong-Gun Yu, "Design of a Low-Power CMOS Analog Front-End Circuit for UHF Band RFID Tag Chips,"Journal of The Institute of Electronics Engineers of Korea (IEEK), Vol.45, No.6, pp.28-36, Jun. 2008.
- [3] G.N. Jadjav and S. Hamedi-Hagh, "Included in Your Digital Subscription UHF class-4 active two-way RFID tag for a hybrid RFID-based system," IEEE, RF and Microwave Conference

(RFM), pp.337-342, Dec. 2011.

- [4] J-w. Lee and D.H.T. Vo and S. H. Hong, "A Fully Integrated High Security NFC Target IC Using 0.18 μ m CMOS Process" ESSCIRC, pp.551-554, 2011