

# S/PDIF 신호의 클럭 및 데이터 복원을 위한 주파수 검출기와 전압제어발진기의 연구

황영주, 김지훈, 문 용  
승실대학교 전자공학과

e-mail : ghkddudwn89@naver.com, lixc1988@naver.com moony@ssu.ac.kr

## A Study on Frequency Detector and Voltage Controlled Oscillator for Clock and Data Recovery of S/PDIF Signal

Young-Ju Hwang, Ji-Hoon Kim and Yong Moon  
School of Electronic Engineering  
Soongsil University

### 요약

S/PDIF 신호로부터 클럭 신호를 복원하고 복원된 클럭 신호로 수신된 데이터 신호를 샘플링하여 데이터 값을 복원하기 위해 주파수 검출기와 전압제어발진기를 설계하였다. 주파수 검출기는 음향기기의 디지털 출력을 이용하여 입력된 S/PDIF 신호의 프리앰블을 샘플링을 통해 데이터의 주파수를 검출해주는 블록이다. 전압제어발진기는 S/PDIF 신호의 주파수와 동기되어 항상 일정한 클럭을 발생시켜주는 회로이다. 설계한 주파수 검출기와 전압제어 발진기는 55nm CMOS 공정을 이용하여 설계하고 검증을 진행하였다.

### I. 서론

S/PDIF는 Sony/Philips Digital Interface Format의 약자로 디지털 오디오 신호를 전송하기 위한 데이터 링크 계층 프로토콜이다. S/PDIF는 IEC-60958의 표준을 따른다. S/PDIF의 디지털 데이터 스트림은 BMC(Bi-phase Mark Code)를 사용해 인코딩 한다 [1]. BMC 인코딩은 위상 변조 방식으로 실제 데이터가 1이면 이전 데이터의 반대 위상부터 2개의 위상을 가지고, 실제 데이터가 0일 경우 이전 상태와 반대로

동일한 위상을 두 번 유지한다. S/PDIF신호는 1블록에 192개의 프레임을 가지고 있고 1프레임에는 2개의 서브프레임(32bit)을 가지고 있다. 각각의 서브프레임의 맨 앞에는 8bit에 해당하는 프리앰블 신호가 존재한다. 들어올 수 있는 S/PDIF 신호의 주파수는 표 1에 나타내었다[2].

표 1. 지터가 포함된 S/PDIF 신호

Sampling Rate (KHz)	SPDIF $F_{ref}$ (MHz)	Period (ns)	Jitter include period (ns)	
			25%	-25%
192	24.576	40.690	50.8626	30.5176
96	12.288	81.380	101.7253	61.0352
48	6.144	162.760	203.4505	122.0703
24	3.072	325.521	406.9010	244.1406
176.4	22.5792	44.289	55.3607	33.2164
88	11.264	88.778	110.9730	66.5838
44.1	5.6448	177.154	221.4427	132.8656
22.05	2.8224	354.308	442.8855	265.7313
32	4.096	244.141	305.1758	183.1055

광통신이나 칩과 칩 사이의 데이터 전송에서 전송 케이블 숫자를 줄이기 위해 데이터 신호선과 클럭 신호선을 둘 다 사용하는 대신에 데이터 신호선만 사용하고 수신된 데이터 신호로부터 클럭 신호를 복원하고 복원된 클럭 신호로 수신된 데이터 신호를 샘플링하여

데이터 값을 복원하는 방식이 많이 사용된다[3]. 따라서 S/PDIF의 신호를 복원하기 위해서 클럭 및 데이터 복원회로가 꼭 필요한 회로이다. 제안하는 클럭 및 데이터 복원회로의 블록도는 그림 1에 나타내었다.

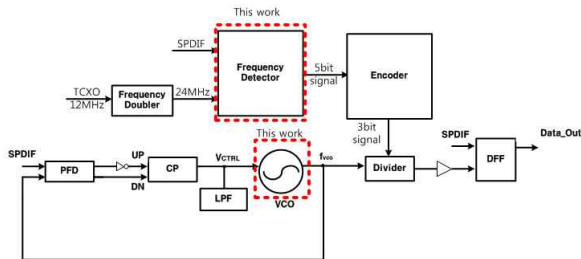


그림 1. 제안된 클럭 및 데이터 복원회로 전체 블록도

그림 1에서 크리스탈 오실레이터에서 출력된 12MHz 주파수를 주파수 더블러를 통하여 24MHz로 만든다. 24MHz의 클럭과 S/PDIF 신호를 주파수 검출기(Frequency Detector)에서 샘플링을 통하여 입력된 S/PDIF 신호의 주파수를 알아내고 인코더(Encoder)를 통해 분주기(Divider)의 분주비를 결정해 주게 된다. 위상 검출기(Phase Detector)는 들어오는 S/PDIF신호와 전압제어발진기(Voltage Controlled Oscillator)의 피드백 된 신호의 위상 차이를 비교를 하고 비교후 출력된 위상검출기의 신호는 전하펌프(Charge Pump)와 루프필터(Loop Filter)를 통하여 전압을 조절하고 전압제어 발진기의 출력 주파수를 결정해 준다[4]. 본 논문에서는 S/PDIF 신호의 주파수를 알아내기 위하여 주파수 검출기를 연구하였고 주파수 검출기를 통하여 검출한 주파수에 해당하는 클럭을 만들기 위하여 전압제어 발진기를 연구하였다. UMC 55nm CMOS 공정으로 설계 하였으며, 시뮬레이션을 통하여 검증하였다.

## II. 본론

### 2.1 주파수 검출기(Frequency Detector)

주파수 검출기는 24MHz의 클럭을 이용하여 입력된 S/PDIF 신호의 프리앰블을 샘플링을 통해 주파수를 검출하는 블록이다.

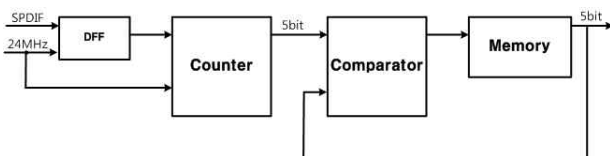


그림 2. 주파수 검출기 블록도

그림 2는 주파수 검출기의 블록도이다.

주파수 검출기는 들어오는 S/PDIF신호와 24MHz 샘플링 클럭을 D-F/F(D-Flip Flop)을 통하여 위상을 맞고 카운터를 통하여 프리앰블의 맨 앞 3T부분을 카운트 후 비교기에서 현재 기억소자에 저장 되어있는 카운트 값과 다음에 들어오는 카운트 값을 비교를 하여 더 큰 값을 기억소자에 저장을 한다. S/PDIF의 데이터에서는 2T이상의 신호가 들어오지 않기 때문에 프리앰블의 3T를 이용하여 주파수를 검출 할 수 있다.

### 2.2 전압제어발진기

전압제어 발진기는 입력전압 변화에 대해 대체적으로 선형적으로 변하는 출력주파수를 발생시키는 블록이다. 링 전압제어 발진기를 설계하였으며, 링 전압제어 발진기의 회로를 그림 3에 나타내었다.

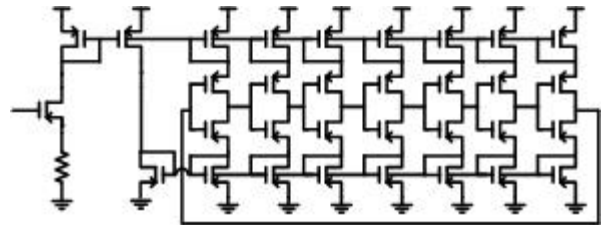


그림 3. 전압제어발진기 회로도

본 논문에서 설계한 전압제어발진기는 홀수 개의 반전 증폭기를 루프 형태로 연결한 회로이다. 이 전압제어 발진기는 인버터에 흐르는 전류량에 의해 전압제어 발진기 발진 주파수가 결정된다. 발진 주파수 값을 증가시키기 위해서는 인버터에 흐르는 전류량을 증가시키는 전류제한 전압제어발진기회로를 설계 하였다[5].

## III. 설계 및 검증

설계는 UMC 55nm CMOS 공정을 사용하여 진행하였으며, 검증은 Cadence Tool을 사용했다.

그림 4와 그림 5는 주파수 검출기의 출력신호를 살펴 보았다. 입력신호로는 24.576MHz 와 3.072MHz 의 S/PDIF 신호를 입력하여 검증하였다.

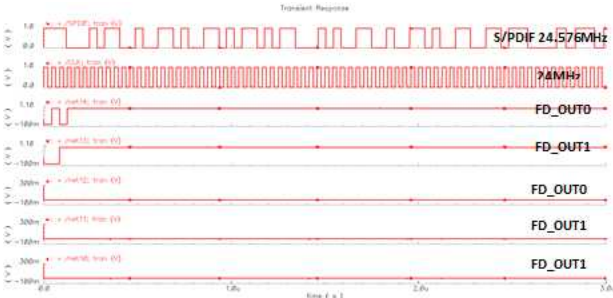


그림 4. 24.576MHz 신호 입력에 따른 주파수 검출기 출력

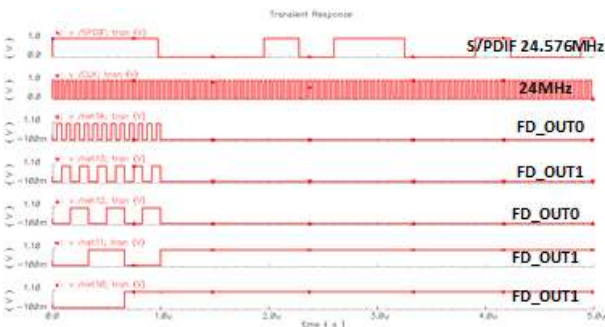


그림 5. 3.072MHz 신호 입력에 따른 주파수 검출기 출력

그림4와 5에서 보듯이 S/PDIF신호의 프리앰블을 24MHz의 클럭으로 카운트를 하여 각 프리앰블에 해당하는 3T값을 데이터가 끝날 때 까지 기억소자 쪽에서 유지하고 있는 것을 확인하였다. 24.576MHz는 00011을 카운트하여 3개가 카운트 된 것을 볼 수 있고, 3.072MHz는 11000을 카운트하여 24개가 카운트된 것을 볼 수 있었다. 이 카운트 값을 이용하여 입력된 S/PDIF의 주파수를 검출할 수 있다.

표 2에 카운트 개수에 따라 검출되는 S/PDIF 주파수를 나타내었다.

표 2. 카운트 개수에 따른 S/PDIF 주파수

S/PDIF (MHz)	Sampling Frequency (MHz)	Number of Clock
24.576	24	2~4
12.288		5~8
6.144		9~15
3.072		17~30
22.5792		2~4
11.264		5~8
5.644		9~15
2.8224		21~32
4.096	16~20	

그림 6은 전압제어발진기의 전압과 주파수 사이의 특성이다. 전압제어발진기 이득은 50.84MHz/V이다.

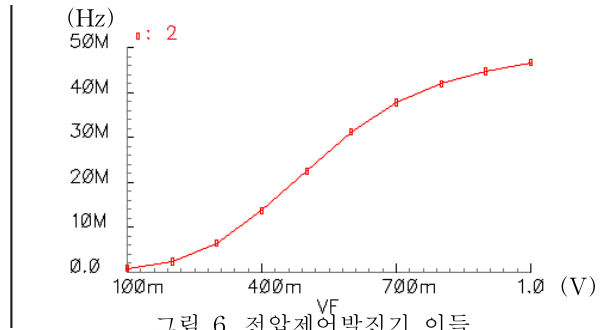
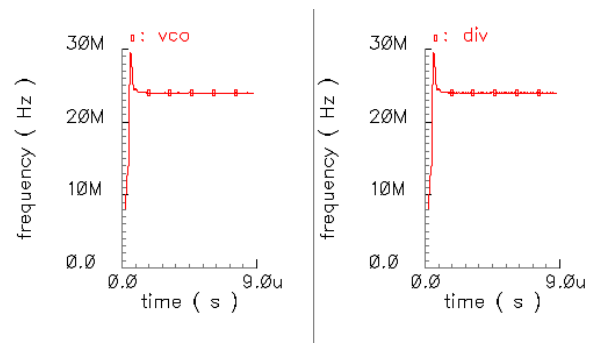
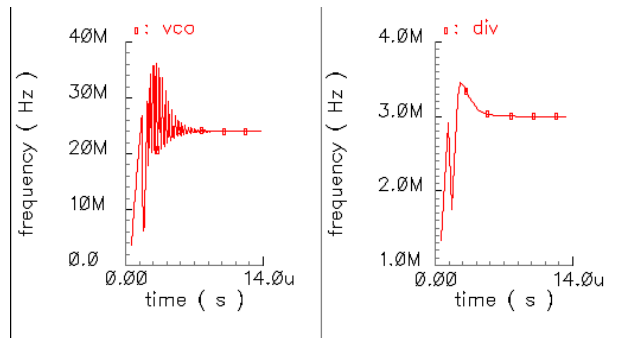


그림 6. 전압제어발진기 이득



(a) 전압제어발진기 주파수출력 (b) 분주기 출력(1분주)

그림 7. 24.576MHz 신호 입력에 따른 전압제어발진기와 분주기 출력



(a) 전압제어발진기 주파수출력 (b) 분주기 출력(8분주)

그림 8. 3.072MHz 신호 입력에 따른 전압제어발진기와 분주기 출력

그림 7에서 보듯이 24.576MHz신호를 입력 했을 때, 전압제어발진기의 출력과 분주기 출력이 24.576MHz로 나오는 것을 확인했다. 그림 8은 3.072MHz를 입력했을 때, 전압제어발진기의 출력은 24.576MHz 분주기의 출력은 3.072MHz가 나오는 것을 확인하였다.

## IV. 결론

클럭 및 데이터 복원회로에 가변적인 주파수의 S/PDIF 신호가 들어와도 이와 동기화하여 대략 24.576MHz로 발진기의 출력이 고정되어 있는 것을 확인하였다. 주파수 검출기는 가변적으로 들어오는 S/PDIF의 주파수에 따라 프리앰블을 카운트 함으로써 현재 입력 주파수를 검출해 내는 것을 확인하였다. 설계한 전압제어 발진기와 주파수 검출기를 사용하여 가변적인 주파수를 가지는 S/PDIF 신호의 클럭과 데이터를 복원할 수 있다.

## 감사의 글

본 연구는 산업통상자원부의 재원으로 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구과제(No.20144030200600)입니다.

## 참고문헌

- [1] 조승완, 리테딩, 안병구, “LED 통신 기반 멀티 홉 오디오 데이터 전송네트워크시스템”, 전자공학회 논문지, 제 50권 제 6호, pp.180-187, 6월, 2013년
- [2] KS C IEC 60958-1, 디지털 오디오 인터페이스-제 1부
- [3] Behzad Razavi, “Challenges in the Design of High-Speed Clock and Data Recovery Circuits”, IEEE Communications Magazine, August 2002
- [4] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill
- [5] 박홍준, *CMOS 아날로그 집적회로 설계*, 시그마프레스