

65nm CMOS 공정을 이용한 메타-전압 제어 발진기와 프리스케일러의 연구

권노용, 김보라, 문용
승실대학교 전자공학부
e-mail : kny0572@naver.com, qnfm10@naver.com

A Study of META-Voltage Controlled Oscillator and Prescaler using 65nm CMOS Process

No-Yong Kwon, Bo-Ra Kim, Yong Moon
School of Electronic Engineering
Soongsil University

Abstract

A VCO (Voltage Controlled Oscillator) and a high speed prescaler are designed using 65nm CMOS technology for around 29GHz 5G mobile communication system. The simulation results show that the VCO has 28.3~29.1GHz tuning range and the prescaler divides the VCO outputs by 2 exactly. The phase noise of the VCO is -91.6dBc/Hz at 1MHz and -115.8dBc/Hz at 10MHz offset frequency. The power consumption is 13.38mW with 1.2V supply voltage.

I. 서론

스마트폰 등 이동통신기기의 발달로 인해 SNS, 빅 데이터 등 무선 데이터 사용량은 점점 증가하고 있다. 2010년 이후 매년 2배 씩 증가하고 있는 모바일 트래픽은, 2020년에는 기존의 4G망(LTE/WiBro)으로 수용할 수 있는 범위를 뛰어넘게 된다. 이에 따른 5세대 이동통신인 5G가 차세대 이동 통신으로 활발히 개발되고 있다. 5G는 2GHz이하의 주파수를 사용하는 기존의 4G와 달리, 20GHz~40GHz의 초고대역 주파수

를 사용함으로써 보다 빠른 속도로 데이터를 전송한다 [1].

초고대역 주파수를 안정적으로 생성하기 위해 주로 PLL(Phase Locked Loop)이 사용되며, 그림 1에 블록도를 나타내었다. PLL에서 높은 주파수를 출력하기 위한 블록이 전압 제어 발진기(VCO : Voltage Controlled Oscillator)이고, 전압제어발진기의 고주파수 출력을 저주파수 대역으로 낮추기 위해 고속의 분주기 블록이 필요하다.

본 논문에서는 PLL설계에 필요한 전압 제어 발진기와 주파수 피드백 시스템에 필요한 고속의 분주기인 프리스케일러를 CML(Current Mode Logic)구조를 적용하고 65nm CMOS 공정을 사용하여 설계하였다.

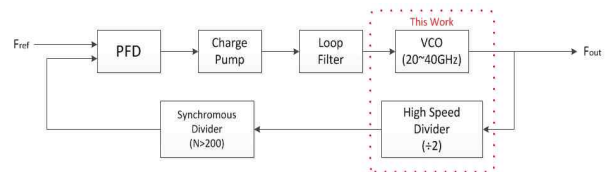


그림1. 29GHz 무선 통신 시스템용 PLL 블록도

II. 본론

2.1 제안하는 VCO용 메타 구조

메타구조는 자연에서 발견될 수 없는 특별한 전기적 성질을 갖도록 인공적으로 설계된 구조로 음의 유전율과 음의 투자율을 갖게 될 경우, 물질의 굴절률이 음수가 된다^[5-6]. 본 논문에서 인공적으로 설계된 구조로 SRR(Split Ring Resonator)을 사용하였고 SRR 구조의 패턴의 길이만큼 인덕턴스 값을 가지고 패턴과 그라운드 사이의 간격과 패턴과 패턴의 간격에서 캐패시턴스 값을 가지게 된다. 따라서 패턴과 그라운드 간격, 패턴과 패턴의 간격, 구조체의 크기, 패턴의 두께를 조절하여 원하는 LC공진 특성을 얻어 낸다. 제안한 메타 구조 공진기 배열은 그림 2와 같다.

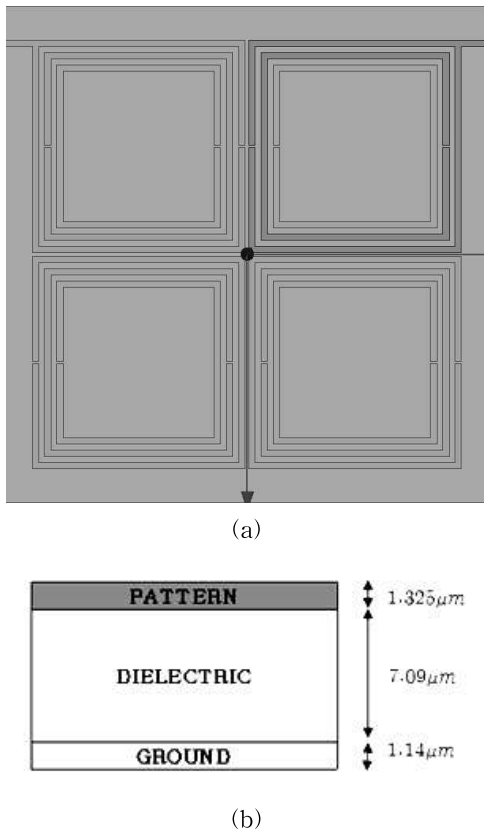


그림 2. (a)SRR배열의 LC공진기 구조(윗면)
(b)SRR의 단면도

2.2 META-VCO

HFSS를 통해 설계한 메타 구조를 적용한 META-VCO의 회로도는 그림 3과 같다. 메타구조의 LC공진기와 부성저항이 갖는 NMOS 교차쌍 구조로 되어있으며, 2개의 베랙터(C_{VAR1} 과 C_{VAR2})를 추가하여 V_{CTRL} 전압에 의한 발진주파수 조절이 가능하도록 설계 하였다. 하지만 메타구조의 캐패시턴스 이외에도 베랙터의 캐패시턴스가 추가되기 때문에 출력 주파수는 대략 1/4정도 수준이하로 낮아진 공진 특성을

얻었다.

R_{ISOL} 는 10Ω 이하의 매우 작은 저항으로 VDD가 OSCP 또는 OSCM노드의 쇼트를 막기 위해 추가하였다^[1].

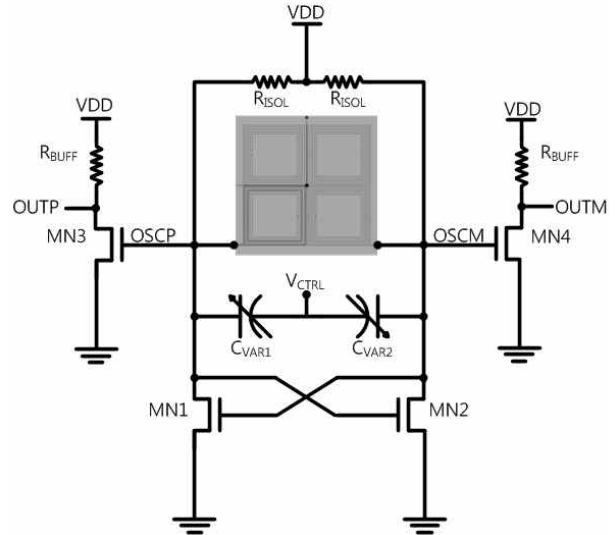


그림 3. META-VCO 회로도

2.3 프리스케일러

29GHz PLL에서 기준 주파수(f_{ref})는 수십MHz 대역의 주파수를 사용하므로 전압 제어 발진기의 29GHz 대역의 출력 주파수를 분주하기는 어렵다. 그러나 10GHz대역의 주파수를 분주하는 분주기의 연구는 상대적으로 많이 되었으므로, 이를 사용하기 위해 2분주 분주기를 설계하였다. 고속 분주기의 종류로는 CML(Current Mode Logic)과, ILFD(Injection Locked Frequency Divider)가 많이 쓰이며 본 논문에서는 낮은 전력을 가지는 CML구조를 설계하였다^[4].

CML은 두 개의 래치에 CLK이 반대로 입력되어 교대로 동작하는 마스터-슬레이브 구조이다. 출력이 입력과 부귀환 연결되어 있기 때문에 CLK 주파수가 분주기의 동작 주파수 범위에 있다면 CLK의 2분주된 신호를 출력한다.

본 논문에서는 레이아웃시 오차가 큰 저항대신 PMOS를 이용하여 저항을 대체시킨 구조인 그림 4와 같은 구조를 제안했다^[2]. 제안된 구조는 PMOS가 연결된 샘플쌍(Sample pair)과 그렇지 않은 홀드쌍(Hold pair)로 나뉘는데^[3], 더 큰 전류를 샘플쌍으로 보내기 위해 샘플쌍과 홀드쌍의

W/L비를 2배로 설계했다.

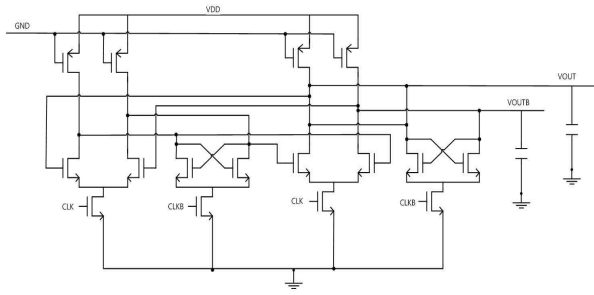


그림 4. 제안된 CML 분주기 구조

III. 구현

제안한 전압 제어 발진기는 HFSS와 CADENCE Spectra RF를 이용하여 65nm CMOS공정을 이용하여 설계하였다. 그림 5는 HFSS를 통해 제안한 META구조의 최종 공진 주파수 특성이다. S_{11} 은 127.2GHz일 때 -44.8dB, S_{21} 은 127.2GHz일 때 -3.8dB가 나온 걸 확인 할 수 있다.

HFSS를 통해 구현된 META구조를 통해 만든 META-VCO의 시뮬레이션 결과는 그림 6같으며, META-VCO는 V_{CTRL} 전압에 의해 28.3~29.1GHz의 동작범위를 갖는다. 위상잡음은 1MHz 오프셋 주파수에서 -91.6dBc/Hz, 10MHz 오프셋 주파수에서 -115.8dBc/Hz 이다. 소모전력은 1.2V 전원전압에서 13.38mW이다.

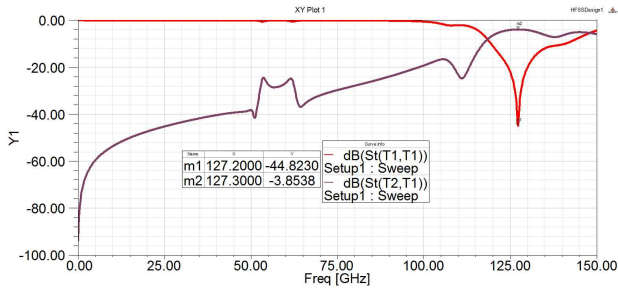
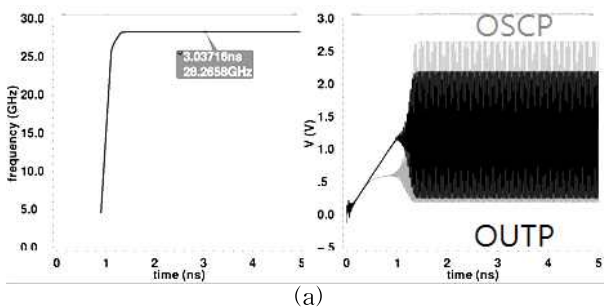
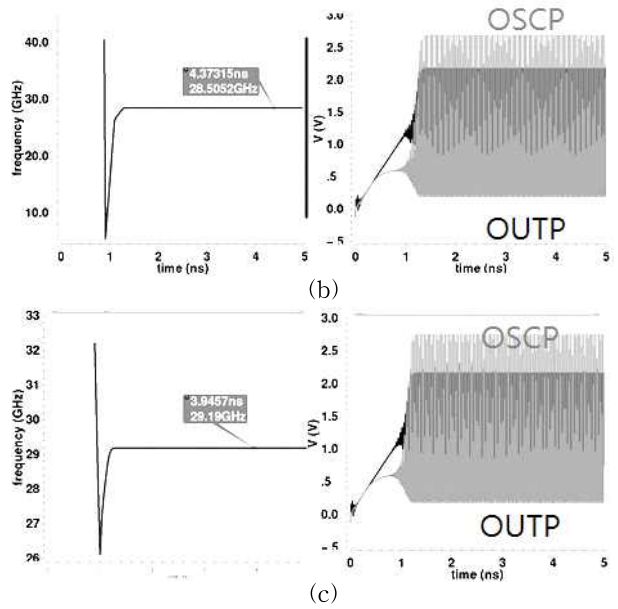


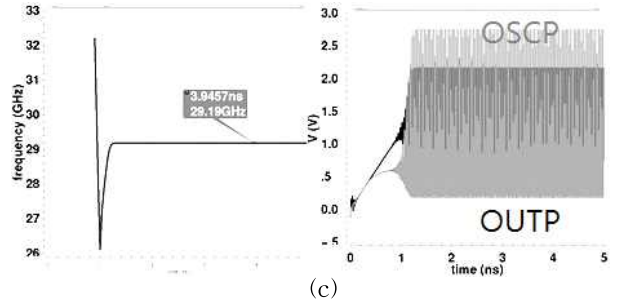
그림 5. 제안한 META구조의 HFSS 공진 특성 그래프



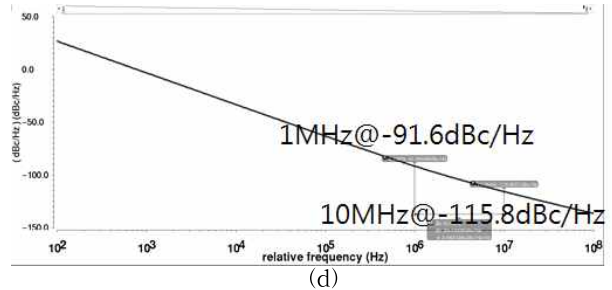
(a)



(b)



(c)



(d)

그림 6. (a) $V_{CTRL}=0$ (b) $V_{CTRL}=0.6$ (c) $V_{CTRL}=1.2$
(d) 위상잡음 결과

프리스케일러는 CADENCE Spectre RF 시뮬레이터를 이용하여 65nm CMOS 공정을 이용하여 설계하였다.

설계한 VCO에서 출력된 결과 값은 28~29GHz의 주파수를 가지며, 최소 1.46V의 출력스윙으로 분주기를 동작시키기에 충분한 전압 값을 가진다. 그림 7는 전압 제어 발진기와 분주기를 연결시켰을 때의 그래프이다. $V_{CTRL}=1.2V$ 일 때 VCO의 출력이 29GHz이고, 분주기를 통과한 후의 출력 파형은 14.5GHz로 VCO의 입력이 2분주 된 것을 확인할 수 있다. 최종 출력 파형은 최소 440mV의 충분한 출력스윙을 가진다.

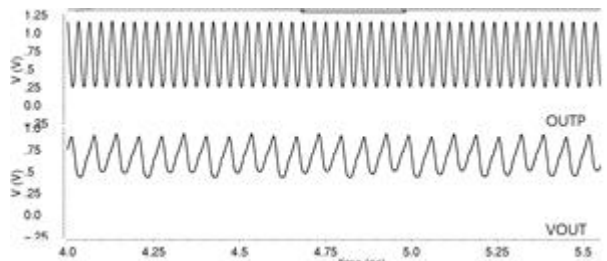


그림 7. 프리스케일러의 모의실험 결과

IV. 결론 및 향후 연구 방향

29GHz 5G용 PLL의 핵심 블록인 전압 제어 발진기와 고속 2분주기를 65nm CMOS 공정을 사용하여 설계하였다. 메타 구조는 HFSS 툴을 사용하여 설계하였고, LC 공진부를 제외한 나머지 회로는 CADENCE 툴을 사용하여 설계했다. 메타 구조의 s-parameter를 추출하여 CADENCE 회로에 삽입 후 Spectre RF로 시뮬레이션 하였다.

본 연구를 통하여 CMOS 공정을 기반으로 메타 구조를 사용한 VCO를 설계하였으며, 주파수를 분주하기 위한 고속 분주기 또한 CMOS공정으로 설계했다. 이로서 5G대역에서 고속의 데이터 전송이 가능하다는 것을 시뮬레이션을 통해 확인하였다. 제안한 META-VCO와 CML은 고속으로 동작해야 하는 PLL 등에 적용이 가능하다.

감사의 글

본 연구는 미래창조과학부의 재원으로 한국연구재단(NRF)의 지원을 받아 수행한 연구(No.2015056354)입니다.

참고문헌

- [1] 이종석, 문용, “65nm CMOS 공정을 이용한 전압제어 발진기와 고속 4분주기의 설계”, 전자공학회 논문지, Vol.51, No.11, pp. 107-113, Nov, 2014
- [2] Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, “An 8.9mW 25Gb/s Inductorless 1:4 DEMUX in 90nm CMOS”, SoC Design Conference (ISOCC), pp. 404-407, 2009.
- [3] Muhammad Usama and Tad. A. Kwasniewski, “A 40-GHz Frequency Divider in 90-nm CMOS Technology”, IEEE North-East Workshop on Circuits and Systems, pp. 41-43, 2006.
- [4] Jung-Woong Park, Se-Hyuk Ahn, Hye-Im Jeong, and Nam-Soo Kim, “High-speed CMOS Frequency Divider with Inductive Peaking Technique”, Transactions on Electrical and Electronic Materials, Vol. 15, No. 6, pp. 299-314, Dec, 2014
- [5] 김형준, 서철현, “메타구조 기반의 고효율 공진형 무선전력전송 시스템”, 전자공학회논문지, Vol.51,

No.1, pp47-51, Jan. 2014.

- [6] Choi Jaewon and Seo Chulhun, “Low Phase Noise Push-Push VCO using Microstrip Square Open Loop Multiple Split Ring Resonator and Rat Race Coupler,” IEEE, Asia-Pacific Microwave Conference(APMC), pp.394-397, Dec. 2010.