

# 적응 루프 대역폭을 가진 광대역 PLL의 연구

\*정 성 현, 문 용  
 숭실대학교 전자공학과

e-mail : [tacticalwing@paran.com](mailto:tacticalwing@paran.com), [moony@ssu.ac.kr](mailto:moony@ssu.ac.kr)

## A Study on Wide Bandwidth Phase Locked Loop with Adaptive Bandwidth Controller

Seong-Heon Jeong, Yong Moon  
 Soongsil University

### Abstract

This paper presents a new structure of Phase Locked Loop(PLL) which changes its loop bandwidth according to the locking status. The proposed PLL use a loop stabilization technique and an adaptive bandwidth controller(ABC). The ABC decides the bandwidth of loop filter and the delay control frequency. The proposed PLL is simulated by HSPICE and layout is completed using a 0.25um CMOS process with 2.5V supply voltage. The operating frequency range of 100MHz~400MHz is achieved using the proposed PLL.

### I. 서론

이동 통신 시장의 지속적인 성장에 따라 전력소모가 작고 크기가 작은 무선 통신용 부품에 대한 연구가 활발히 이루어지고 있으며, 그 중에서도 고성능 주파수 합성기는 핵심적인 블록 중의 하나이다. 일반적으로 이동 통신용 주파수 합성기는 위상고정루프(Phase Locked Loop)를 사용하여 구현한다.

PLL의 설계는 고정시간(lock time)과 전압제어발전기(VCO) 전압조절단자의 리플의 크기 간에 커다란 tradeoff가 있다. 주파수합성기에서 이런 tradeoff는 채널 스위칭 속도를 제한하고 주파수합성기의 출력에서 지터로 나타난다[1][2].

본 연구에서는 루프필터를 칩 안에 내장시키기 용이한 작은 캐패시터를 가지면서도 작은 ripple을 발생시킬 수 있는 안정화 기술을 적용하여 PLL을 설계하였다[3]. 또한 적응 루프 대역폭 조절기(Adaptive Bandwidth Controller)를 사용하여 작은 캐패시터로 빠른 settling time을 가진 PLL을 설계하였다[4].

### II. 안정화 기술

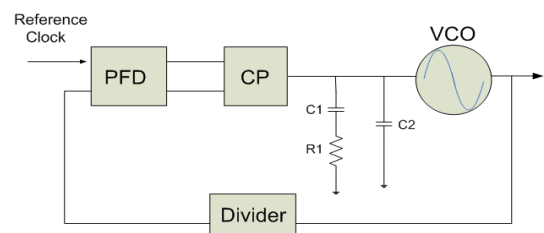


그림 1. 일반적인 PLL의 구조

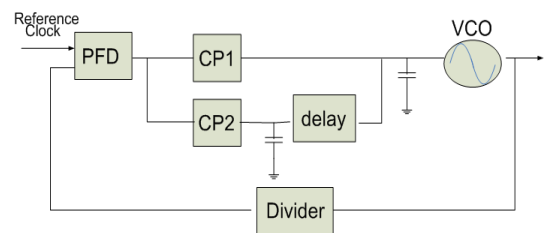


그림 2. 안정화 기술을 이용한 PLL

일반적으로 사용되는 PLL은 그림 1과 같이 전압제어발진기, 주파수위상검출기(Phase Frequency Detector), 분주기(Divider), 전하펌프(Charge Pump) 그리고 루프필터(Loop Filter)로 구성되어 있다. 루프필터는 주로 2차를 사용한다. 루프필터에서 저항 R1은 전압제어발진기의 전압조절단자의 전압을 안정화시키기 위한 zero를 제공하고, 캐패시터 C1은 PLL의 안정화 행동을 결정하고, 캐패시터 C2는 전하펌프에서 발생하는 글리치를 억제한다. 그런데, ripple을 충분히 억제하기 위해서 C1은 필수적으로 큰 값을 가지고 되고, C1의 값이 커짐으로 인해 lock time은 길어지게 된다.

본 논문에서는 작은 캐패시터를 사용하면서도 빠른 lock time을 보장하기 위해 안정화 기술을 적용하여 PLL을 설계하였다.[3] 안정화 기술을 사용한 PLL은 그림 2와 같은 구조로 설계된다. 전압제어발진기, 분주기, 주파수위상검출기, 전하펌프는 일반적으로 사용되는 구조로 설계하였다.

이 구조에서 CP1의 전류를  $I_{p1}$ , CP2의 전류를  $I_{p2}$ 라고 하면 CP2의 전류  $I_{p2}$ 는 약간의 지연시간 후에 전하를 공급한다. 총 전류는  $I_{p1}$ 과 지연시간 후의  $I_{p2}$ 의 합으로 결정되고 다음 식과 같이 표현된다.

$$I_p = I_{p1} + I_{p2}e^{-s\Delta T} \approx I_{p1} + I_{p2}(1 - s\Delta T) \quad (1)$$

식 (1)을 이용하여 전압제어발진기의 전달함수를 구하면 다음과 같은 식이 나온다.[3]

$$\frac{V_{cont}}{\Delta\phi}(s) = \frac{I_{p1}}{2\pi} \left( \frac{1}{f_{REF} C_s} + \frac{I_{p1} + I_{p2}}{I_{p1}} \frac{1}{sC_2} \right) \quad (2)$$

$$I_{p2} = -\alpha I_{p1} \quad (3)$$

CP1과 CP2의 전류를 식(3)과 같이 정의하면 다음과 같은 값들을 얻을 수 있다.[3]

$$\zeta = \frac{1}{2f_{REF} C_s} \sqrt{\frac{I_p C_2}{2\pi(1-\alpha)M}} K_v \quad (4)$$

$$\left(\frac{\zeta\omega_n}{2}\right)^{-1} = \frac{8\pi f_{REF} C_s M}{I_p K_v} \quad (5)$$

이를 적용하여 루프필터의 크기를 크게 줄인 주파수합성기를 설계하고 이에 대한 검증을 진행하였다.

### III. 광대역 PLL의 구조

#### 2.1 PLL의 전체 구조

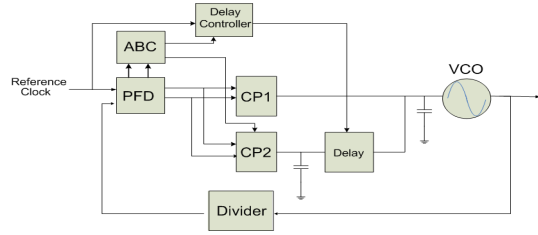


그림 3. 제안된 PLL의 구조

제안된 PLL의 구조는 그림 3 에서와 같이 주파수위상검출기, 두개의 전하펌프, 적응루프대역폭 조절기, 루프필터, 전압제어발진기, 그리고 분주기로 구성되어 있다. 적응루프대역폭 조절기(ABC)는 두 번째 전하펌프(CP2)의 전류와 루프 필터의 대역폭을 조종한다. 적응루프대역폭 조절기는 주파수위상검출기의 출력신호를 받아 PLL이 lock 상태인지 아닌지를 판별하여 lock 상태에 따라 전하펌프의 전류와 지연시간을 조종한다. PLL이 lock 상태가 아닐 경우 두 번째 전하펌프의 전류는 증가하고 지연시간 조절기(Delay Controller)의 주파수는 높아진다. PLL이 lock 상태가 됐을 경우에는 두 번째 전하펌프의 전류는 감소하고 지연시간 조절기 주파수는 낮아져서 루프 대역폭을 넓게 한다. 즉, 루프 대역폭은 lock 상태에 따라서 변화하게 된다.

#### 2.2 적응 루프 대역폭 조절기

안정화 기술을 이용하면 식(4) 에서와 같이 C2가 기존 캐패시터의  $(1-\alpha)^{-1}$ 배 역할을 하기 때문에  $\alpha$ 가 커질 수록 작은 캐패시터로 큰 캐패시터 효과를 얻을 수가 있다. 하지만  $\alpha$ 가 커질수록 ripple의 크기도 커지게 되는 단점을 가지고 있다. 이를 보완하기 위하여  $\alpha$ 의 값을 가변시킬 필요가 있다.

적응 루프 대역폭 조절기는 그림 4와 같이 NOR , 인버터, 2개의 schmitt trigger 회로와 로드 캐패시터로 구성되어 있다. NOR 게이트는 주파수위상검출기의 출력신호 up과 down 신호를 비교하여 lock 상태일 경우, 즉 up과 down 신호가 둘다 '1' 일 경우 인버터의 PMOS를 통해 캐패시터에 전류를 공급하고 나머지 경우에는 NMOS를 통해 캐패시터의 전류를 방출한다. 그리고 두 개의 schmitt trigger 회로는 Va의 전압에 따라서 출력신호를 조절한다. 즉 PLL이 lock 상태가 아닐 경우에는 전하펌프의 전류를 증가시키고, PLL이 lock 상태일 경우에는 전하펌프의 전류를 감소시키고 지연시간 조절 주파수를 낮춘다.

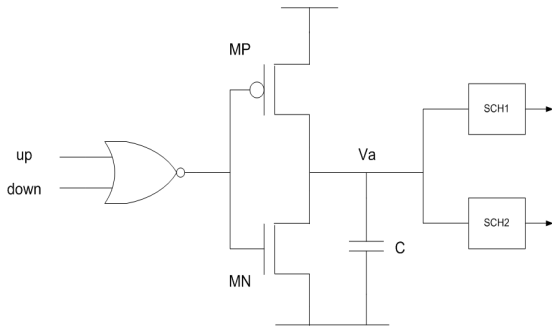


그림 4. 적응 루프 대역폭 조절기

### 2.3 전하펌프

그림 5는 지연시간을 이용한 전하펌프의 구조이다. 그림 2에서 두 번째 전하펌프는 lock 상태에 따라 전류를 조절할 수 있도록 설계하였다. PLL이 lock 상태일 경우에는 스위치 S1이 열리고 작은 전류가 흐르도록 만든다. 이 두 번째 전하펌프의 전류는 첫 번째 전하펌프 전류의 0.3배가 되도록 하여 ripple을 최대한 억제하도록 만들었다. 반대로 PLL이 lock 상태가 아닐 경우에는 스위치 S1이 닫히고 많은 전류를 공급하도록 설계하였다.

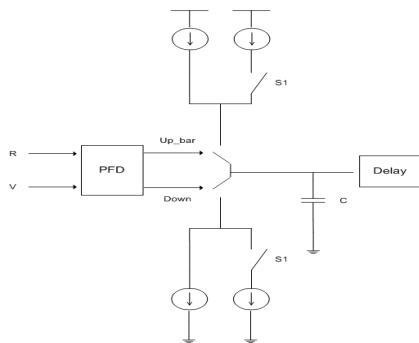


그림 5. 전하펌프

### 2.4 지연시간 블록과 지연시간 조절기

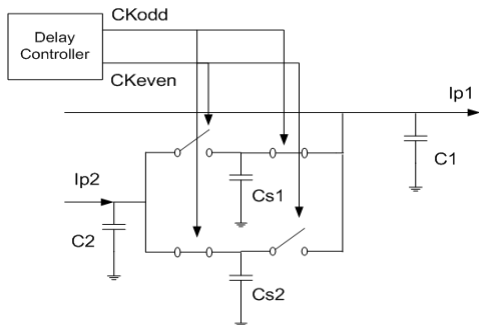


그림 6. 지연시간 블록과 지연시간 조절기

그림 6은 지연시간 블록의 실제적인 구성을 보여준다. 지연시간 블록은 두개의 캐패시터 Cs1, Cs2와 지연시간 조절기의 주파수에 의해 조절되는 스위치 네개로 구성되어 있다. CKodd가 높을 때는 그림 6과 같이 두개의 스위치가 닫히고 Cs1은 이전시간의 위상 차이만큼 C1과 전하를 공유하고 Cs2는 현재 주파수위상 검출기의 위상차만큼 전하를 저장하거나 방출한다. CKeven이 높을 때는 Cs1과 Cs2는 역할을 바꿔서 행동한다. 그러므로 지연시간 블록은 지연시간 조절기의 출력 주파수 기간의 역수와 같은 지연시간을 제공한다.

지연시간 조절기(Delay Controller)는 4분주 디바이더와 MUX로 구성되어 있다. PLL이 lock 상태가 아닐 경우에는 기준주파수를 이용하여 지연시간 블록에 클록을 제공하고 lock 상태일 경우에는 기준주파수를 4분주한 주파수를 지연시간 블록에 클록으로 제공하여 루프 대역폭을 크게 만들어 준다.

## IV. 모의실험 결과 및 레이아웃

제안하는 PLL은 M사의 0.25um 1P5M CMOS 공정을 사용하여 설계하였으며 모의실험 및 레이아웃이 진행되었다.



그림 7. PLL 모의실험 결과

그림 7은 전압제어발진기의 전압조절단자의 모의실험 결과이다. 모의실험결과 lock time은 대략 9.5us 정도가 되었고 ripple은 0.5mv로 측정되었다. 이 값은 일반적인 PLL의 경우 루프필터 값이 C1=81.8p, C2=8.1p, R1=9.45k 일 때 같은 결과를 얻었지만, 안정화 기술을 적용하여 설계한 PLL은 저항이 필요 없으며 루프필터 값이 C2=11.5p Cs1=Cs2=9.75p, C1=4.5p로 일반적인 PLL과 같은 효과를 얻은 것을 확인하였다.

그림 8은 상기 방식을 적용한 PLL의 layout으로, 일반적인 PLL의 면적보다 50% 작은 면적을 가진다.

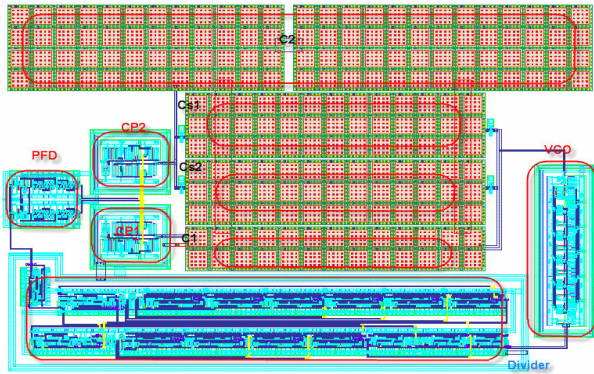


그림 8. PLL layout

위와 같이 루프 안정화 기술과 적응루프 대역폭을 적용하여 설계한 PLL은 면적이 크게 감소함으로써 칩 안에 내장이 용이해지고 넓은 대역을 가지므로 SoC 설계에 있어서 효과적인 방법임을 확인하였다.

### 참고문헌

- [1] Y.S.Choi, H.H.Choi, Tae-Ha Kwon "An Adaptive Bandwidth Phase Locked Loop Locking Status Indicator" Science and Technology, 2005. KORUS 2005. Proceedings. The 9th Russian-Korean International Symposium on
- [2] Rob, Y. Lee, and B. Kim, "An optimum phase-acquisition technique for charge-pump phase-locked loops," IEEE Trans. Circuit Syst. vol. 44, pp.729-740, Sept. 1997
- [3] T.C.Lee and B. Razavi, "A stabilization technique for phase-locked frequency synthesizers" IEEE J, Solid-State Circuits, vol 38, No. 6 June 2003
- [4] M. Mizuno et al., "A 0.18um CMOS hot-standby phase-locked loop using a noise immune adaptive-gain voltage-controlled oscillator," ISSCC Dig. Tech. Papers, pp 268-269, Feb. 1995