

SPDIF용 저이득 전압제어발진기 기반 PLL의 연구

황영주, 김지훈, 문 용
승실대학교 전자공학과

e-mail : ghkddudwn89@naver.com, lixc1988@naver.com, moony@ssu.ac.kr

A study of PLL based on low gain VCO for SPDIF

Young-Ju Hwang, Ji-Hoon Kim, Yong Moon
School of Electronic Engineering
Soongsil University

Abstract

In this paper, We designed a FD(Frequency Detector) for detecting the frequency of SPDIF signal and a PLL based on low-gain VCO(Voltage controlled Oscillator). The FD can detect the frequency using the preamble. If FD detects the preamble, stores the count value in the memory block. The FD outputs 3bit signals corresponding to the detected frequency. The proposed PLL adjusts the bandwidth of the loop filter according to the frequency of the received SPDIF. Also, the gain of the VCO can be kept low by adjusting the capacitor. The PLL based on low gain VCO for SPDIF was designed using 55nm CMOS process.

I. 서론

최근 광통신이나 칩과 칩 사이의 데이터 전송에서 전송 케이블 숫자를 줄이기 위해 데이터 신호선과 클럭 신호선 둘 다 사용하는 대신에 데이터 신호선만 사용한다. 클럭 데이터 복원회로는 수신된 데이터 신호로부터 클럭 신호를 복원하고 복원된 클럭 신호로 수신된 데이터 신호를 샘플링하여 데이터 값을 복원하는

회로이다[1]. 대부분의 클럭 데이터 복원회로는 PLL 구조를 많이 사용한다. 본 논문에서 사용되는 SPDIF 신호는 Sony Philips Digital Interface Format의 약자로 디지털 신호전송을 위한 데이터 링크 계층 프로토콜이다. SPDIF 신호의 가장 큰 특징은 각각의 서브프레임의 맨 앞에는 8bit에 해당하는 프리앰블 신호가 존재한다. SPDIF 신호는 1 블록 단위로 수신되며 1 블록은 192개의 프레임으로 구성되며 1프레임은 2개의 서브프레임으로 구성된다[2]. 본 논문에서 제안하는 SPDIF용 저이득 전압제어발진기 기반 PLL 회로의 블록도를 그림 1에 나타내었다.

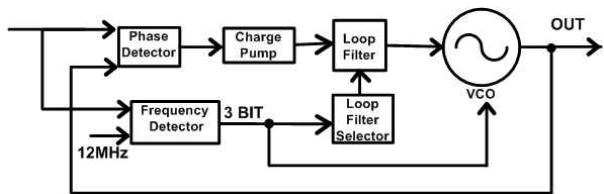


그림 1. 제안하는 PLL 회로 블록도

주파수 검출기(Frequency Detector)는 크리스탈 오실레이터의 12MHz 기준 클럭으로 SPDIF 신호의 각각의 서브프레임에 존재하는 프리앰블의 맨 앞 3bit를 샘플링 하여 수신된 SPDIF 신호의 주파수를 검출한다. 주파수 검출기의 출력 3bit 신호는 루프 필터 선택기

(Loop Filter Selector)와 전압제어 발진기(Voltage Controlled Oscillator)로 입력된다. 루프 필터 선택기는 SPDIF 신호의 주파수에 따라 대역폭이 다른 루프 필터를 주파수 검출기의 출력을 통해 선택된다. 위상검출기(Phase Detector)는 수신된 데이터와 귀환된 전압제어 발진기의 클록의 위상 차이를 비교하여 차이에 비례하는 클록을 발생시킨다. 위상검출기의 출력 클록은 전하펌프(Charge Pump)를 통해 전류로 변환된다. 변환된 전류는 루프 필터에 의해 전압제어발진기의 제어전압으로 변환된다. 전압제어발진기는 루프 필터의 제어 전압에 의하여 출력 주파수가 결정된다[3].

본 논문에서는 SPDIF용 저이득 전압제어 발진기를 연구하였고 SPDIF 신호의 주파수를 검출하기 위한 주파수 검출기를 연구하였다. 55nm CMOS 공정으로 설계하였으며, 시뮬레이션을 통하여 검증하였다.

II. 본론

2.1 주파수 검출기(Frequency Detector)

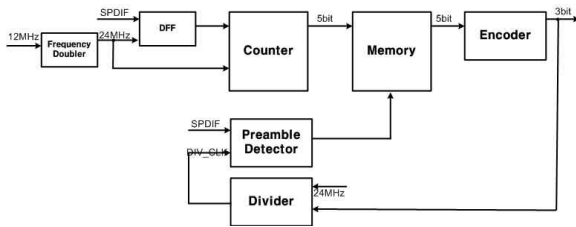


그림 2. 주파수 검출기 블록도

그림 2는 주파수 검출기의 블록도이다. 주파수 검출기는 SPDIF 데이터에서는 2bit 이상의 신호가 들어오지 않기 때문에 프리앰블의 맨 앞 3bit를 이용하여 주파수를 검출할 수 있다. 12MHz의 기준클록을 정확한 샘플링을 위해 주파수 더블러를 통해 24MHz로 증가시킨다. SPDIF 신호가 수신되면 D-F/F(D-Flip Flop)로 24MHz와 동기를 맞춘다. 동기가 맞춰진 SPDIF 신호는 카운터에 입력이 되고 24MHz로 카운트를 한 후 5bit 신호를 출력하게 된다. 프리앰블 검출기가 프리앰블을 검출하면 기억 소자에 Enable 신호를 전달하고, 그 때의 카운터 5bit 값을 저장한다. 기억 소자에 저장된 5bit 신호는 인코더를 통해 3bit 신호로 전환 된다. 인코더의 출력 3bit 신호를 이용하여 입력된 SPDIF 신호의 주파수를 검출할 수 있다.

2.2 PLL(Phase Lock Loop) 회로

그림 1에 제안하는 전체 PLL 회로를 나타내었다. 본

논문에서 제안하는 PLL은 수신된 SPDIF 주파수에 따라 루프 필터의 대역폭을 조절하고, 전압제어발진기의 커패시터를 조절하여 이득을 낮게 유지할 수 있다. 위상검출기는 Hogge 위상검출기를 사용하였다. 입력 데이터와 귀환된 전압제어발진기의 클록의 위상 차이를 비교하고 위상 차이에 비례하는 UP과 DOWN 신호를 발생시킨다. 전하 펌프는 위상검출기의 UP, DOWN 신호에 따라 루프 필터의 커패시터에 충전과 방전을 시켜주는 회로이다. 루프 필터는 전하 펌프의 전류를 통합하여 전압제어발진기의 제어전압 신호로 바꾸어준다. 전압제어발진기는 루프 필터의 제어전압의 변화에 따라 발진하는 주파수가 결정되는 회로이다[4]. 본 논문에서 루프 필터는 입력 SPDIF 신호의 주파수에 따라 5개의 대역폭으로 나누었고, 루프 필터 선택기의 출력에 따라 루프 필터가 선택된다. 전압제어발진기는 홀수개의 반전증폭기를 루프형태로 연결한 링 구조의 전압제어발진기를 설계하였으며, 입력 SPDIF 신호의 주파수에 따라 스위치를 통해 커패시터 값을 조절하여 이득을 조절할 수 있다. 스위치 신호는 주파수검출기의 출력을 이용하여 조절할 수 있다[4]. 그림 3과 4에 제안하는 루프 필터와 전압제어발진기의 회로를 나타내었다.

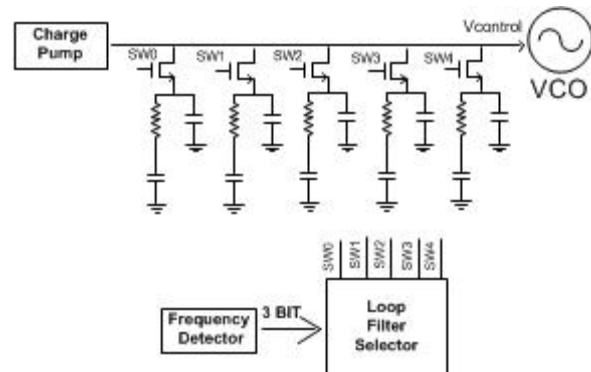


그림 3. 제안하는 루프 필터 선택기 및 루프 필터

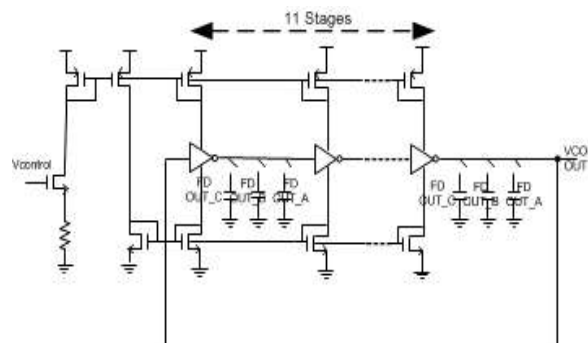


그림 4. 제안하는 전압제어발진기 회로

III. 설계 및 검증

설계는 55nm CMOS 공정을 사용하여 진행하였으며, Cadence Spectre Tool을 사용하여 검증하였다.

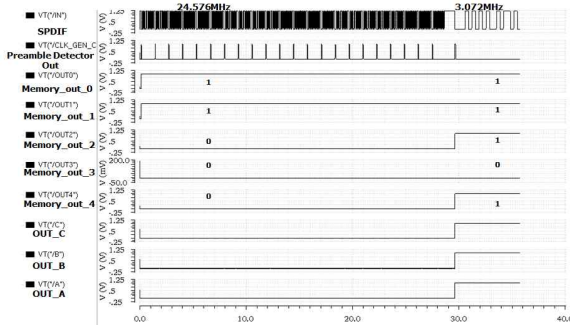


그림 5. 24MHz~3MHz 변화에 따른 주파수검출기 출력

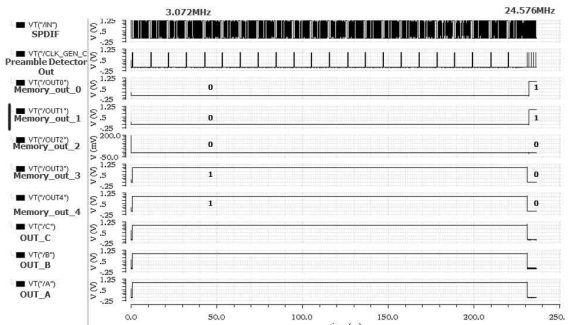


그림 6. 3MHz~24MHz 변화에 따른 주파수검출기 출력

그림 5와 그림6은 SPDIF 입력 신호에 따른 주파수검출기의 출력을 나타내는 그림이다. 24MHz에서 3MHz로 변하는 SPDIF 신호가 들어왔을 때 기억 소자는 24MHz에 해당하는 카운트 값 00011 즉 3의 값을 기억 하고, 3MHz로 신호가 변했을 때 3MHz에 해당하는 카운트 값 10111 23으로 바뀌게 되고 인코더에 의하여 24MHz일 때 000에서 3MHz 신호가 들어오면 111로 변하게 된다. 반대로 3MHz에서 24MHz로 변하는 SPDIF 신호가 들어왔을 때, 주파수검출기의 최종 출력 3bit는 111에서 000으로 변하게 된다. 3bit신호를 이용하여 수신된 SPDIF 신호의 주파수를 알 수 있다. 표 1에 주파수검출기 출력에 따른 입력 SPDIF 주파수를 나타내었다.

표 1. 주파수검출기 출력에 따른 입력 SPDIF 주파수

Memory Out (5bit)	Encoder Out (3bit)	SPDIF Frequency
00000~00100 (0~4)	000	24.576MHz
00101~01000 (5~8)	100	12.288MHz
01001~01111 (9~15)	011	6.144MHz
10000~10100 (16~20)	110	4.096MHz
10101~11111 (21~31)	111	3.072MHz

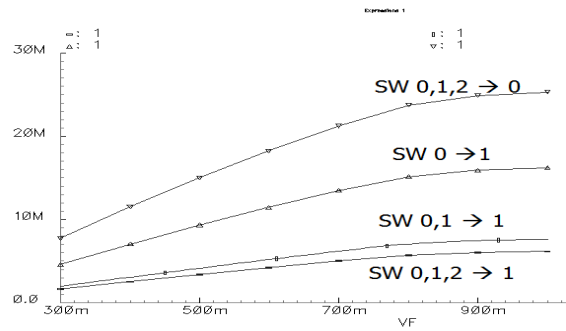


그림 7. 전압제어발진기 이득

그림 7은 전압제어발진기의 이득을 나타낸 그래프이다. SW0,1,2가 모두 0인 상태의 이득은 25.05MHz/V이고, SW 0만 1인 상태의 이득은 16.51MHz/V이다. SW1,2가 1인 상태에서의 이득은 7.94MHz/V이며 SW0,1,2가 모두 1인 상태의 이득은 6.32MHz/V 이다.

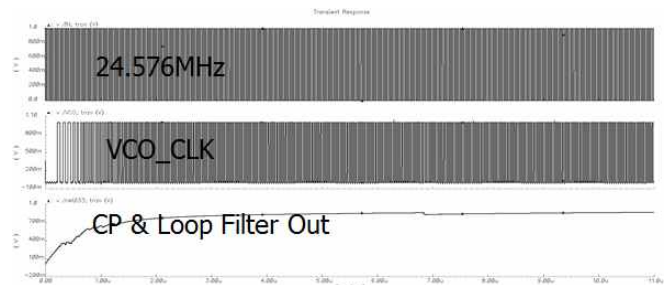


그림 8. 24.576MHz 입력 시 PLL 출력

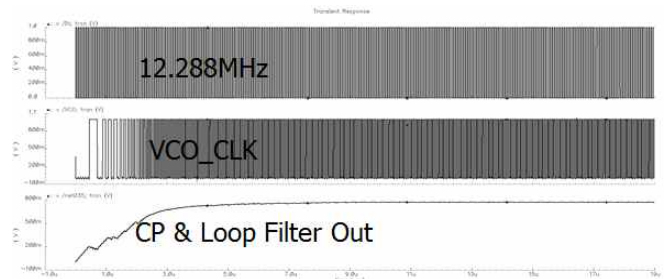


그림 9. 12.288MHz 입력 시 PLL 출력

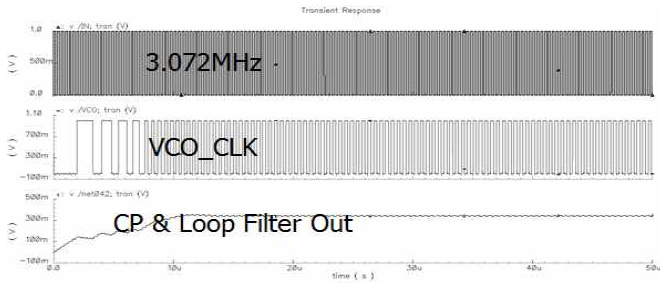


그림 10. 3.072MHz 입력 시 PLL 출력

그림 8,9,10은 각각 24.576MHz, 12.288MHz, 3.072MHz 입력 시 PLL의 출력 클럭과 전하 펌프와 루프 필터의 출력을 나타내었다. 표 2는 SPDIF 신호 입력시 주파수검출기의 출력에 따른 루프 필터선택기 출력을 나타내었다.

표 2. 주파수검출기 출력에 따른 루프 필터 선택기 출력

FD OUT C	FD OUT B	FD OUT A	SW0	SW1	SW2	SW3	SW4
0	0	0	1	0	0	0	0
1	0	0	0	1	0	0	0
0	1	1	0	0	1	0	0
1	1	0	0	0	0	1	0
1	1	1	0	0	0	0	1

IV. 결론

주파수 검출기는 가변적인 SPDIF의 신호가 들어왔을 때 프리앰블을 찾아내고 프리앰블의 맨 앞 3bit의 카운트 값을 기억소자에 저장하고 인코더를 통하여 출력함으로써 SPDIF 신호의 주파수 및 주파수의 변화를 알아 낼 수 있다. 주파수검출기의 출력을 이용하여 루프 필터의 대역폭을 조절하고, 전압제어발진기의 커패시터를 조절함으로써 이득이 낮은 전압제어발진기 기반 PLL을 만들 수 있다.

감사의 글

본 논문은 2016년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 이공분야기초연구사업(NRF-201617221365)입니다.

참고문헌

[1] Behzad Razavi, "Challenges in the Design

of High-Speed Clock and Data Recovery Circuits", IEEE Communications Magazine, August 2002

[2] IEC, IEC-60958

[3] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill

[4] 박홍준, *CMOS 아날로그 집적회로 설계*, 시그마프레스