

# 65nm CMOS 공정을 이용한 수동 NFC 태그의 고효율 Analog Front-End 설계

장준범, 문용

승실대학교 전자공학과

E-mail : tonisbb@ssu.ac.kr, moony@ssu.ac.kr

최근 삼성페이, 교통카드, 멀티미디어 기기 등에 NFC (Near Field Communication) 기술을 채택하고 있으며, 특히 NFC 태그의 아날로그 프론트엔드 회로의 효율성을 높이는 연구가 중요시 되고 있다 [1-2]. 본 연구에서는 65nm CMOS 공정을 사용하여 고효율 수동 NFC Tag 칩을 구현하였다. 제안한 수동 NFC 태그 블록도를 그림 1 (a)에 나타냈다. 안테나로 입력된 신호는 매칭단을 거쳐 DC Rectifier에서 DC 전원( $V_{DC}$ )을 생성하고, Envelope Detector에서 복조할 신호( $V_{ENV}$ )를 생성한다. Demodulator블록은  $V_{DC}$ 를 전원으로  $V_{ENV}$ 를 받아서 복조 한다 [1]. 본 연구에서는 아날로그 프론트엔드 블록을 설계했으며, 태그의 효율을 높이기 위해 0.5V의 작은 전압 스윙도 감지 가능한 Envelope Detector를 사용하였다. 그림 1.(b)는 제안하는 Envelope Detector의 회로도 이고, 그림 1.(c)는 NFC 태그의 아날로그 프론트엔드 칩 사진이다. 기존의 회로에 저항( $R_{ENV}$ )을 추가하여 Envelope Detector의 출력 진폭을 55% 증가시켜 작은 입력에도 동작 할 수 있기 때문에 태그의 효율을 높일 수 있다 [2]. 칩 측정은 프로브 스테이션을 사용하여 웨이퍼에서 프로빙 하였으며, 칩 면적은  $1.9 \times 2 \text{mm}^2$  이다. 측정결과를 그림 3에 나타냈으며, 입력은 NFC 통신 방식인 ASK 변조를 구현하기 위해 N9310A 신호 발생기의 AM 변조와 케이블을 이용하여 생성했다. 그림 1.(d)는 ASK 30%의 입력에서의 결과이고 그림 1.(e)는 ASK 50%의 결과이며, 수동 NFC 태그는 정상적으로 “0” 과 “1” 을 디지털 신호를 수신함을 확인했다. 본 연구에서 MPW와 CAD tool은 IDEC에서 지원받음.

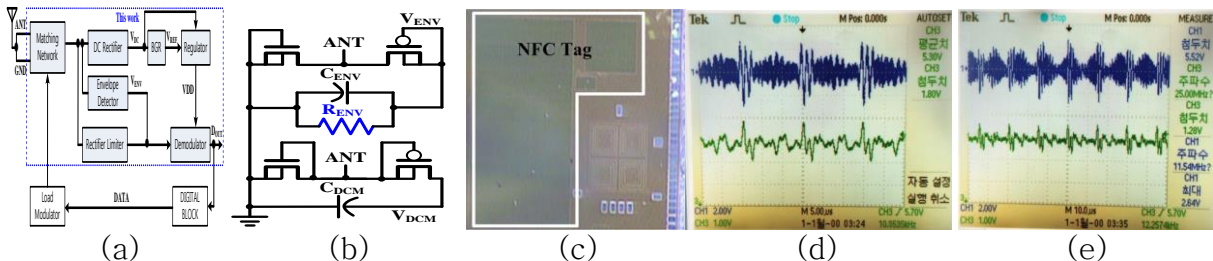


그림 1. (a) 수동 NFC Tag 블록도 (b)Envelope Detector 회로도 (c)NFC Tag 칩사진 (d) NFC Tag 측정 결과 ASK 30% (e)ASK 50%

본 논문은 2016년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 이공분야기초연구사업(NRF-201617221365)입니다.

- [1] J.W.Lee, D.H.T.Vo, S.H.Hong, and Q.H.Huynh, "A fully integrated high security NFC target IC using 0.18 CMOS process, ESSCIRC, pp.551-554, Sept. 2011.
- [2] J.H.Cho, Peter H.Cole, Shiho Kim, "An NFC transceiver using an inductive powered receiver for passive, active, RW and RFID modes," ISOC, pp.456-459, Nov. 2009.