

5세대 이동통신 시스템을 위한 META-VCO 기반 PLL의 설계

김보라, 권노용 and 문용
 숭실대학교 전자공학부

개요

이동통신 기술이 발전함에 따라, 기존의 데이터 처리 속도보다 더 빠른 속도를 가진 기술이 필요해졌다. 그에 따라 차세대 이동통신 기술인 5G 기술이 활발히 개발 중에 있다. 이동통신 시스템에서는 주파수를 일정하게 공급하기 위한 위상고정루프(PLL, Phase Locked Loop)가 필요하다. 본 논문에서는 Metamaterial 이라는 자연에 존재하지 않는 물질을 사용하여 메타구조의 전압제어발진기(Voltage Controlled Oscillator, VCO)를 설계하고, 그를 이용한 PLL 을 설계하였다. 설계된 PLL 의 위상잡음은 1MHz offset 에서 -166dBc/Hz이고, 소모전력은 0.1W이다.

I. 서론

이동통신기술의 발전으로 데이터 트래픽 수가 급증하고 있다. 그에 따라 차세대 이동통신 기술인 5G 가 활발히 개발 중에 있다. 이동통신 시스템에서는 일정한 주파수를 안정적으로 공급하기 위해 위상고정루프가 필요하다. 본 논문에서는 META 물질이라는 자연에 존재하지 않는 물질을 이용하여 보다 작은 면적과 낮은 위상잡음을 갖는 PLL 을 설계하였다. 설계된 PLL 의 블록도는 그림 1 에서 볼 수 있다.

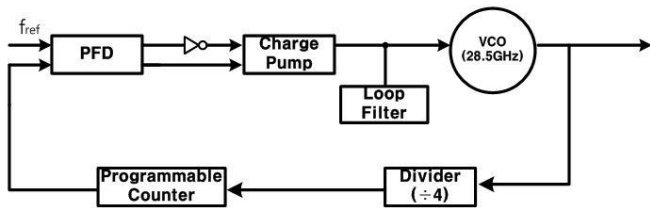


그림 1. PLL 블록도

II. 본론

A. META-VCO

메타물질이란 아직 자연계에서 발견되지 않은 특성을 가지도록 설계된 물질이다. 주로 반복적인 패턴으로 배열되어 있고, 그 구조에 의해서 물질의 특성이 결정된다. 적절히 디자인된 메타물질은 특정 파장에서 음의 굴절률과 음의 투자율을 가진다. 설계된 전압제어발진기에서 메타물질은 기존의 LC 구조 전압제어발진기에 사용되던 인덕터를 대신하는 역할로 사용되었다. 메타 구조의 크기는

$240 \times 240 \mu\text{m}^2$ 으로 같은 값의 인덕터보다 8.2% 작은 면적을 차지한다. 그림 2 는 설계된 메타구조 전압제어발진기의 회로도와 메타구조이다.

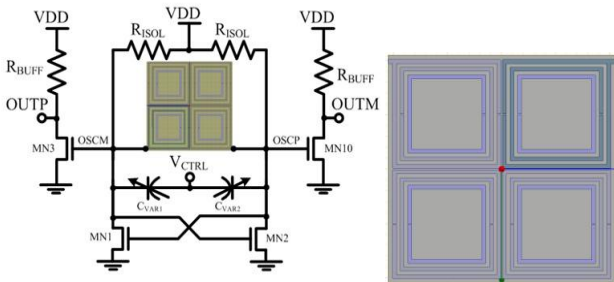


그림 2. 메타구조 전압제어발진기 회로도와 메타구조

사용된 메타구조는 SRR 구조를 선택하였다. 메타구조의 공진주파수를 알아내기 위해, 먼저 HSPICE 툴로 EM 시뮬레이션 후 넷리스트 형태로 추출한 뒤, CADENCE RF 툴을 사용하여 추출한 메타구조를 회로에 적용시키는 방법을 사용하였다. 설계한 전압제어발진기는 가장 기본적인 구조를 선택하여 단순화하였고, 뒷 단인 분주기로 과형을 안정적으로 전달하기 위하여 버퍼를 달았다. 설계된 전압제어 발진기는 28.4~28.6GHz 의 동작범위를 갖는다.

B. Prescaler

메타구조 전압제어 발진기의 출력은 28.5GHz 로 매우 높은 주파수이므로, 이를 기준주파수(fref)만큼 낮춰줄 분주기가 필요하다. 그런데, 10GHz 이상의 고주파는 속도가 매우 빠른 고속분주인 Prescaler 가 필요하다. 본 논문에서는 위상잡음과, 소비전력면에서 우수한 ILFD(Injection Locked Loop)를 선택하였다. 그림 3 은 설계한 ILFD 의 회로도이다.

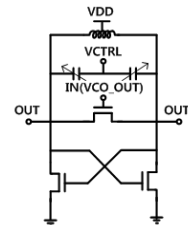


그림 3. ILFD 회로도

ILFD 는 입력된 신호에 인위적인 위상변화를 주어 기존의 주파수가 아닌 새로운 주파수에서 발진이 가능하게 한다. 설계된 ILFD 는 기본적인 구조를 사용하여 면적을 줄였고, LC 구조를 사용하여 동작속도를 높였다.

C. Programmable Counter

Programmable Counter 는 Prescaler 에서 분주한 10GHz 이하의 주파수를 기준 주파수와 비교할 수 있도록 분주해주는 분주기이다. 그림 4 는 설계한 분주기의 블록도이다.

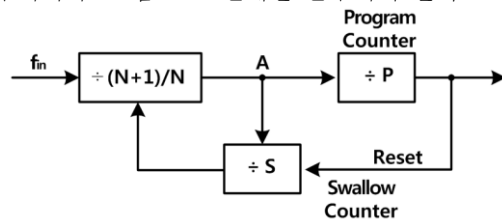


그림 4. Programmable divider 블록도

ILFD 를 거쳐 출력된 주파수를 3/4divider 로 한번 더 낮은 주파수로 분주해준다. 이 신호는 P/S counter 로 입력되고, S0~S4 에 입력을 입력해주면 Control Logic 에 의해 값을 결정한다. 5bit 카운터이므로 32 분주까지 가능하고, 0000~1111 까지 동작한다. 원하는 분주를 선택하여 신호를 입력하면 리셋이 걸리면서 분주를 수행한다. 여기서 출력된 신호는 PFD 로 입력되어 기준주파수와 비교한다.

D. PFD, CP, LF

PFD(Phase Frequency Detector)는 Programmable Divider 를

거쳐 통과된 신호를 기준 주파수와 비교하는 블록이다. 기준 주파수와 입력 주파수를 비교해 같을 경우 출력이 없고, 다르면 UP, DOWN 의 출력을 낸다. 출력된 신호는 CP(Charge Pump)로 입력되어 주파수의 차이에 대한 신호를 전하로 충/방전한다. 이 전하로 LF(Loop Filter)에 전하를 넣어주거나, 빼준다. 그림 5는 PFD의 블록도와 CP, LF의 회로도이다.

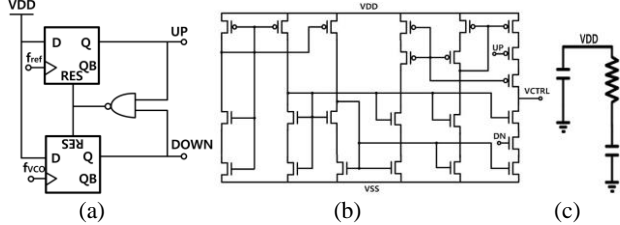


그림 5.(a) PFD 블록도
(b) CP 회로도
(c) LF 회로도

III. 모의실험 결과

설계에 사용된 시스템은 CADENCE사의 Spectre RF 시뮬레이터와 HSPICE를 사용하여 65nm CMOS 공정을 사용하였다. 그림 6은 메타구조만 사용하여 HSPICE로 S-parameter 시뮬레이션 했을 때 나온 결과파형과, 메타구조 전압제어발진기를 시뮬레이션 했을 때의 결과파형이다.

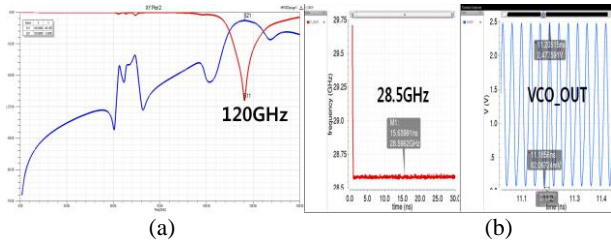


그림 6. (a) 메타구조 시뮬레이션
(b) 메타구조 전압제어발진기 시뮬레이션

먼저, HSPICE를 사용하여 설계된 메타구조는 S11과 S21 모두 120GHz로 나왔다. 이 결과를 넷리스트 형태로 추출하여 전압제어발진기를 설계한 후에 시뮬레이션한 결과 28.5GHz가 출력되는 것을 확인하였다. 그림 7은 전압제어발진기와 ILFD를 통과한 위상잡음이다.

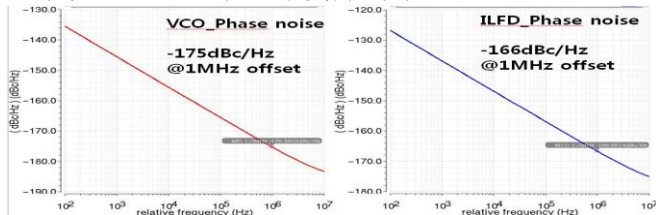


그림 7. VCO와 ILFD의 위상전압

그림 8은 전압제어발진기의 최소주파수와 최고주파수일 때 각각 ILFD를 통과하여 4분주된 결과이다.

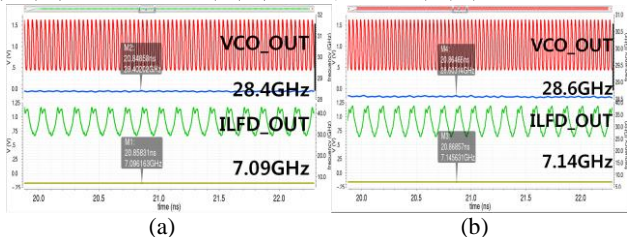


그림 8. (a) VCO 출력이 최소일 때 ILFD 출력주파수
(b) VCO 출력이 최대일 때 ILFD 출력주파수

VCO의 전 범위에서 출력주파수가 4분주되는 것을 확인할 수 있다. 그림 9는 Programmable divider를 통과한 후 신호가 분주된 파형이다.

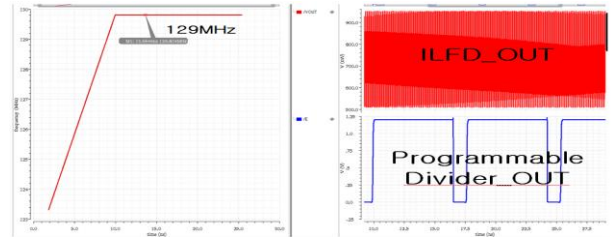


그림 9. Programmable divider 결과파형(14분주)

그림 10은 PLL 전체 시뮬레이션 결과이다.

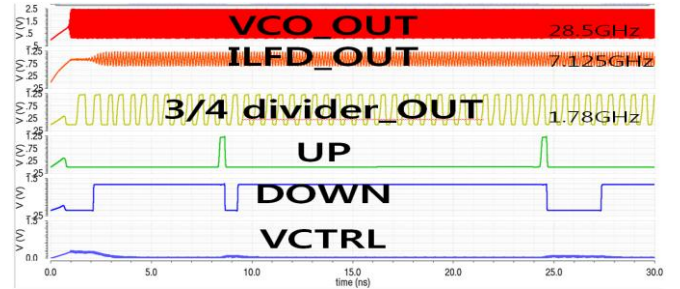


그림 10. PLL 전체 결과파형

위의 결과파형의 순서대로 ILFD 출력, VCO 출력, 3/4 divider의 출력, charge pump의 UP, DOWN 신호, VCTRL 신호이다. Programmable divider를 거쳐서 14분주된 신호가 기준 주파수와 비교되면서 UP, DOWN 신호로 원하는 주파수가 나오도록 신호를 조절한다. UP, DOWN 신호로 컨트롤 전압이 점점 바뀌면서 원하는 주파수인 28.5GHz를 찾아가는 것을 볼 수 있다.

IV. 결론

28.5GHz 5G용 PLL을 65nm CMOS 공정을 사용하여 설계하였다. 메타구조를 사용하여 낮은 위상잡음의 특성을 갖도록 설계하였다. 또한 높은 주파수 대역에서 동작을 위해 LC구조의 ILFD를 사용하였다. 설계된 메타구조는 같은 값의 인덕터보다 8.2% 작은 면적을 갖고, 1MHz offset에서 -166dBc/Hz의 위상잡음을 갖는다. 설계된 PLL은 0.1W의 소모전력을 갖는다. 제안된 PLL은 고속으로 동작해야 하는 5G 시스템에서 주파수를 공급하는데에 적용이 가능하다. 본 연구에서 CAD Tool은 IDEC의 지원을 받아 수행하였다.

감사의 글

이 논문은 2017년도 산업통장자원부의 ‘창의산업융합 특성화 인재양성사업’의 지원을 받아 연구되었음.

(과제번호 N0000717)

References

- [1] E.K. Jorgensen, P.R. Mukund, "A Comparative Study of multi-GHz LCVCOs Designed in 28nm CMOS Technology", SOCC, page 82-87, 2015
- [2] Chunqi Shi, Runxi Zhang, Zongsheng Lai, "A 30GHz Wideband CMOS Injection-Locked Frequency Divider for 60GHz Transceiver" Scientific Research, June, 2013
- [3] Seungwoo Seo, Hyogi Seo, Sanggeun Jeon, and Jaesung Rieh "A 20-30GHz divide-by-3 ring-oscillator-based injection locked frequency divider with a wide locking range" Microwave and Optital Technology Letters, 2011
- [4] Jongsuk Lee, Yong Moon, "A Design of 8.5GHz META-VCO based-on Meta-material using 65nm CMOS Process" Journal of Semiconductor Technology and Science, page 535-541, Oct, 2016