

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 특2000-0027460  
H03K 5/00 (43) 공개일자 2000년05월 15일

(21) 출원번호 10-1998-0045398  
 (22) 출원일자 1998년 10월 28일  
 (71) 출원인 현대반도체 주식회사 김영환  
           충청북도 청주시 흥덕구 향정동 1번지  
 (72) 발명자 문용  
           서울특별시 서초구 잠원동 신반포10차아파트 315동 308호  
 (74) 대리인 박장원

**심사청구 : 있음**

### (54) 듀티 싸이클 보정회로

#### 요약

본 발명은 듀티 싸이클 보정회로에 관한 것으로, 종래에는 내부회로의 구성이 복잡함과 아울러 동작주파수에 따라서 내부소자의 크기를 가변하여야 하는 문제점이 있었다. 따라서, 본 발명은 입력신호를 입력받아 이를 반전하는 제1 인버터와; 상기 제1 인버터의 반전신호를 입력받아 그 반전신호의 진폭을 줄이는 버퍼와; 상기 버퍼로부터 버퍼링된 신호를 입력받아 저역 통과시켜 소정레벨의 직류전압을 출력하는 저역 통과필터부와; 입력신호를 입력받아 이를 상기 저역통과필터부의 직류전압에 의해 특성을 조절하여 반전 출력하는 인버터부와; 상기 인버터부의 반전신호를 입력받아 이를 다시 반전하여 듀티싸이클이 조정된 신호를 출력하는 제2 인버터로 구성함으로써 입력신호의 주파수가 변할 경우에도 전압만 변화시켜 듀티 싸이클의 보정을 용이하게 실현시킬수 있는 효과가 있다.

#### 대표도

#### 도3

#### 명세서

#### 도면의 간단한 설명

도1은 종래 듀티 싸이클 보정회로에 대한 구성을 보인 회로도.  
 도2는 도1에 있어서, 각 부분의 타이밍도.  
 도3은 본 발명 듀티 싸이클 보정회로에 대한 구성을 보인 회로도.  
 도4는 도3에 있어서, 저전위구간이 고전위구간보다 적은 경우에 대한 각 부분의 타이밍도.  
 도5는 도3에 있어서, 고전위구간이 저전위구간보다 길 경우에 대한 각 부분의 타이밍도.

\*\*\*\*\*도면의 주요부분에 대한 부호의 설명\*\*\*\*\*

100:버퍼                                   200:저역통과필터부  
 300:인버터부                            INV20, INV21:인버터

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 듀티 싸이클보정회로에 관한 것으로, 특히 입력신호의 듀티싸이클이 일정하지 않아도 추가적인 회로 없이 전압만으로 조절하여 일정한 듀티싸이클을 가지는 신호를 발생시킬 수 있도록 한 듀티 싸이클 보정회로에 관한 것이다.

도1은 종래 듀티 싸이클 보정회로에 대한 구성을 보인 회로도로서, 이에 도시된 바와같이 입력신호(IN)를 지연시키는 지연부(10)와; 상기 지연부(10)의 지연신호와 입력신호를 입력받아 이를 익스쿨루씨브오아 연산하는 익스쿨루씨브오아게이트(EX1)와; 상기 익스쿨루씨브오아게이트(EX1)의 출력신호를 입력받아 이를 반전하는 인버터(INV1)와; 상기 인버터(INV1)의 반전신호와 기준전압을 입력받아 전류를 발생하는 전류발생부(20)와; 상기 전류발생부(20)로부터 신호를 입력받아 기준전압 및 톱니파를 발생하는 기준전압 및 톱니파발생부(30)와; 상기 기준전압 및 톱니파발생부(30)로부터 신호를 입력받아 기준전압과 톱날파의 교차

점에서 출력값이 변하는 차동비교기(OP1)로 구성된다.

상기 전류발생부(20)는 게이트에 기준전압이 인가된 피모스트랜지스터(PM1)의 드레인과 상기 기준전압이 게이트에 인가된 엔모스트랜지스터(NM1)의 드레인을 공통접속하고, 상기 피모스트랜지스터(PM1)의 소스와 엔모스트랜지스터(NM1)의 소스를 접속하여 구성된다.

상기 기준전압 및 톱니파발생부(30)는 일측이 접지된 커패시터(C1)를 저항(R1)에 접속하고, 그 저항(R1)의 타측에 일측이 접지된 커패시터(C2)를 접속하여 구성되며, 이와같이 구성된 종래 장치의 동작을 설명한다.

먼저, 지연부(10)는 도2의 (a)와 같은 입력신호(IN)를 입력받아 이를 소정 시간 지연하여 출력하고, 익스쿨루씨브오아게이트(EX1)는 상기 도2의 (a)와 같은 입력신호와 상기 지연부(10)의 지연신호를 입력받아 이를 익스쿨루씨브오아 연산하여 인버터(INV21)에 인가한다.

그러면, 상기 인버터(INV1)는 상기 익스쿨루씨브오아게이트(EX1)로부터 연산신호를 입력받아 이를 반전하여 도2의 (b)와 같은 신호를 출력한다.

이때, 전류발생부(20)는 상기 도2의 (b)와 같은 신호와 도2의 (c)와 같은 기준전압(V-)을 입력받아 전류를 발생하고, 기준전압 및 톱니파발생부(30)는 상기 전류발생부(20)로부터 신호를 입력받아 도2의 (c)와 같은 기준전압 및 톱니파를 발생하여 이를 차동비교기(OP1)의 반전단자(-)와 비반전단자(+)에 인가한다.

그러면, 상기 차동비교기(OP1)는 도2의 (c)와 같은 기준전압 및 톱니파를 입력받아 그 기준전압과 톱니파의 교차점에서 출력값을 변화시켜 도2의 (d)와 같이 듀티 사이클이 50대 50으로 조정된 신호를 출력한다.

### **발명이 이루고자 하는 기술적 과제**

그러나, 상기와 같이 동작하는 종래 장치는 내부회로의 구성이 복잡함과 아울러 동작주파수에 따라서 내부소자의 크기를 가변하여야 하는 문제점이 있었다.

따라서, 상기와 같은 문제점을 감안하여 창안한 본 발명은 듀티 사이클의 보정을 간단한 회로로 구현이 가능하고 입력신호의 주파수가 변할 경우에도 전압만 변화시켜 듀티 사이클의 보정이 용이하도록 한 듀티 사이클 보정회로를 제공함에 그 목적이 있다.

### **발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위한 본 발명은 입력신호를 입력받아 이를 반전하는 제1 인버터와; 상기 제1 인버터의 반전신호를 입력받아 그 반전신호의 진폭을 줄이는 버퍼와; 상기 버퍼로부터 버퍼링된 신호를 입력받아 저역 통과시켜 소정레벨의 직류전압을 출력하는 저역통과필터부와; 입력신호를 입력받아 이를 상기 저역통과필터부의 직류전압에 의해 특성을 조절하여 반전출력하는 인버터부와; 상기 인버터부의 반전신호를 입력받아 이를 다시 반전하여 듀티사이클이 조정된 신호를 출력하는 제2 인버터로 구성함을 특징으로 한다.

이하, 본 발명의 듀티 사이클 보정회로에 대한 작용 및 효과를 첨부한 도면을 참조하여 상세히 설명한다.

도3은 본 발명 듀티 사이클 보정회로에 대한 구성을 보인 회로도로서, 이에 도시한 바와같이 입력신호(IN)를 입력받아 이를 반전하는 제1 인버터(INV20)와; 상기 제1 인버터의 반전신호를 입력받아 그 반전신호의 진폭을 줄이는 버퍼(100)와; 상기 버퍼로부터 버퍼링된 신호를 입력받아 저역 통과시켜 소정 레벨의 직류전압을 출력하는 저역통과필터부(200)와; 입력신호를 입력받아 이를 상기 저역통과필터부(200)의 직류전압에 의해 특성을 조절하여 반전출력하는 인버터부(300)와; 상기 인버터부(300)의 반전신호를 입력받아 이를 다시 반전하여 듀티사이클이 조정된 신호를 출력하는 제2 인버터(INV21)로 구성한다.

상기 저역통과필터부(200)는 드레인과 소스가 접지된 엔모스트랜지스터(NM22)의 게이트에 가변신호(30)가 게이트에 인가되고 소스가 접지된 엔모스트랜지스터(NM21)의 드레인을 접속하여 구성한다.

상기 인버터부(300)는 입력신호(IN)가 게이트에 인가되고 전원전압(VDD)이 소스에 인가된 피모스트랜지스터(PM21)의 드레인을 필터링신호가 게이트에 인가된 피모스트랜지스터(PM22)의 소스에 접속하고, 그 피모스트랜지스터(P22)의 드레인을 필터링신호가 게이트에 인가된 엔모스트랜지스터(NM23)의 드레인에 접속하며, 상기 엔모스트랜지스터(NM23)의 소스를 게이트에 입력신호(IN)가 인가되고 소스가 접지된 엔모스트랜지스터(NM24)의 드레인을 접속하여 구성하며, 이와같이 구성된 본 발명의 동작을 설명한다.

먼저, 도4와 같이 고전위구간이 저전위구간보다 작은신호(IN)가 입력될 경우에 제1 인버터(INV20)는 도4의 (a)와 같은 신호(IN)를 입력받아 이를 반전하여 버퍼(100)에 인가하고, 이에의해 상기 버퍼(100)는 상기 인버터(INV20)로부터 반전신호를 입력받아 그 반전신호의 진폭을 줄여서 도4의 (b)와같이 출력한다.

그러면, 저역통과필터부(200)는 상기 버퍼(100)로부터 도4의 (b)와같은 신호를 입력받아 이를 저역 통과시켜 도4의 (c)와 같은 일정레벨의 직류전압을 출력한다.

이때, 입력신호(IN)의 듀티레벨에 따라 상기 저역통과필터부(200)의 엔모스트랜지스터(NM21)의 게이트에 인가되는 가변전압(30)을 조정한다.

그리고, 인버터부(300)는 도4의 (a)와 같은 입력신호(IN) 및 상기 저역통과필터부(200)의 도4의 (c)와 같은 출력신호에 의해 내부의 피모스트랜지스터(PM22) 및 엔모스트랜지스터(NM23)의 저항값이 제어되어 도4의 (d)와 같은 신호를 인버터(INV21)에 인가하고, 이에 의해 상기 인버터(INV21)는 도4의 (d)와 같은 신호를 입력받아 이를 반전하여 도4의 (e)와같이 듀티 사이클이 변화된 신호를 출력한다.

반대로, 고전위구간이 저전위구간보다 길 경우 제1 인버터(INV20)는 도5의 (a)와 같은 신호(IN)를 입력받아 이를 반전하여 버퍼(100)에 인가하고, 이에의해 상기 버퍼(100)는 상기 인버터(INV20)로부터 반전신호를 입력받아 그 반전신호의 진폭을 줄여서 도5의 (b)와같이 출력한다.

그러면, 저역통과필터부(200)는 상기 버퍼(100)로부터 도5의 (b)와같은 신호를 입력받아 이를 저역 통과시켜 도5의 (c)와 같은 일정레벨의 직류전압을 출력한다.

이때, 입력신호(IN)의 듀티레벨에 따라 상기 저역통과필터부(200)의 엔모스트랜지스터(NM21)의 게이트에 인가되는 가변전압(30)을 조정하는데, 이 경우에는 가변전압(30)을 낮게 유지시켜 저역통과필터부(200)의 시간상수를 증가시켜 듀티사이클을 조절한다.

그리고, 인버터부(300)는 도5의 (a)와 같은 입력신호(IN) 및 상기 저역통과필터부(200)의 도5의 (c)와 같은 출력신호에 의해 내부의 피모스트랜지스터(PM22) 및 엔모스트랜지스터(NM23)의 저항값이 제어되어 도5의 (d)와 같은 신호를 인버터(INV21)에 인가하고, 이에 의해 상기 인버터(INV21)는 도5의 (d)와 같은 신호를 입력받아 이를 반전하여 도5의 (e)와 같이 듀티 사이클이 변화된 신호를 출력한다.

그리고, 처음 입력신호(IN)와 동일한 위상을 가지는 신호를 출력하기 위해서는 상기 인버터(INV21)의 출력단에 인버터를 추가 접속하면 된다.

### 발명의 효과

이상에서 상세히 설명한 바와같이 본 발명은 듀티 사이클의 보정을 간단한 회로로 구현이 가능함과 아울러 입력신호의 주파수가 변할 경우에도 전압만 변화시켜 듀티 사이클의 보정을 용이하게 실현시킬수 있는 효과가 있다.

### (57) 청구의 범위

#### 청구항 1

입력신호(IN)를 입력받아 이를 반전하는 제1 인버터(INV20)와; 상기 제1 인버터의 반전신호를 입력받아 그 반전신호의 진폭을 줄이는 버퍼(100)와; 상기 버퍼로부터 버퍼링된 신호를 입력받아 저역 통과시켜 소정 레벨의 직류전압을 출력하는 저역통과필터부(200)와; 입력신호(IN)를 입력받아 이를 상기 저역통과필터부(200)의 직류전압에 의해 특성을 조절하여 반전 출력하는 인버터부(300)와; 상기 인버터부(300)의 반전신호를 입력받아 이를 다시 반전하여 듀티 사이클이 조정된 신호를 출력하는 제2 인버터(INV21)로 구성된 것을 특징으로 하는 듀티 사이클 보정회로.

#### 청구항 2

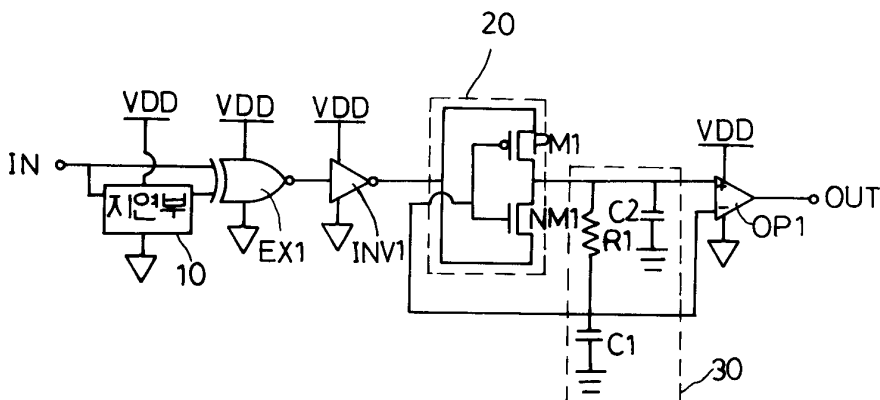
제1 항에 있어서, 저역통과필터부(200)는 드레인과 소스가 접지된 엔모스트랜지스터(NM22)의 게이트에 가변신호(30)가 게이트에 인가되고 소스가 접지된 엔모스트랜지스터(NM21)의 드레인을 접속하여 구성된 것을 특징으로 하는 듀티 사이클 보정회로.

#### 청구항 3

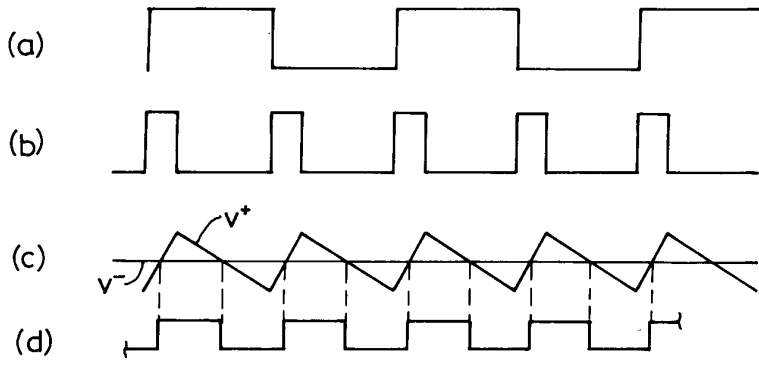
제1 항에 있어서, 인버터부(300)는 입력신호(IN)가 게이트에 인가되고 전원전압(VDD)이 소스에 인가된 피모스트랜지스터(PM21)의 드레인을 필터링신호가 게이트에 인가된 피모스트랜지스터(PM22)의 소스에 접속하고, 그 피모스트랜지스터(P22)의 드레인을 필터링신호가 게이트에 인가된 엔모스트랜지스터(NM23)의 드레인에 접속하며, 상기 엔모스트랜지스터(NM23)의 소스를 게이트에 입력신호(IN)가 인가되고 소스가 접지된 엔모스트랜지스터(NM24)의 드레인을 접속하여 구성된 것을 특징으로 하는 듀티 사이클 보정회로.

### 도면

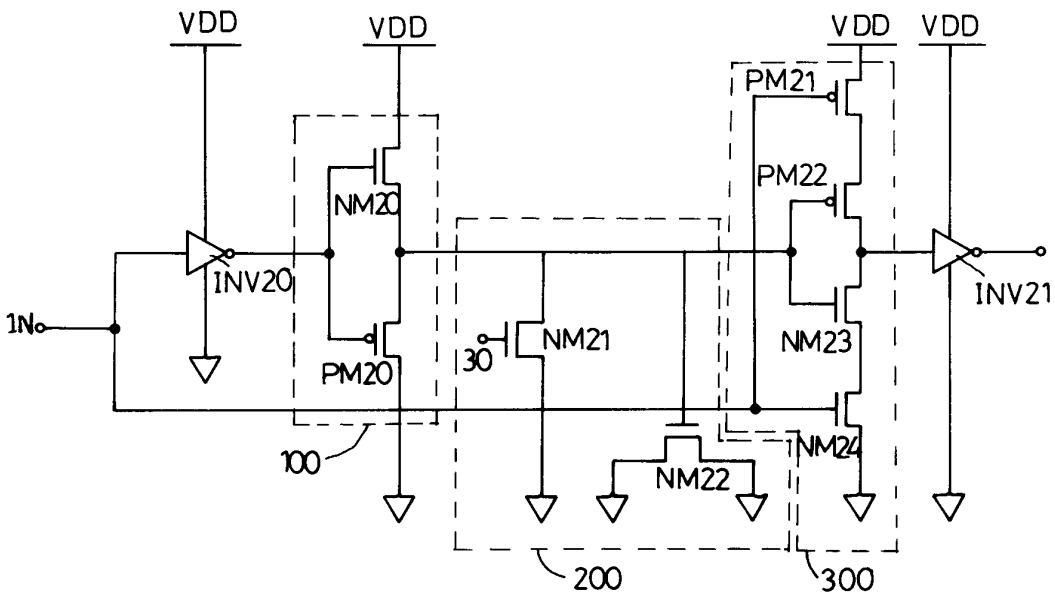
#### 도면1



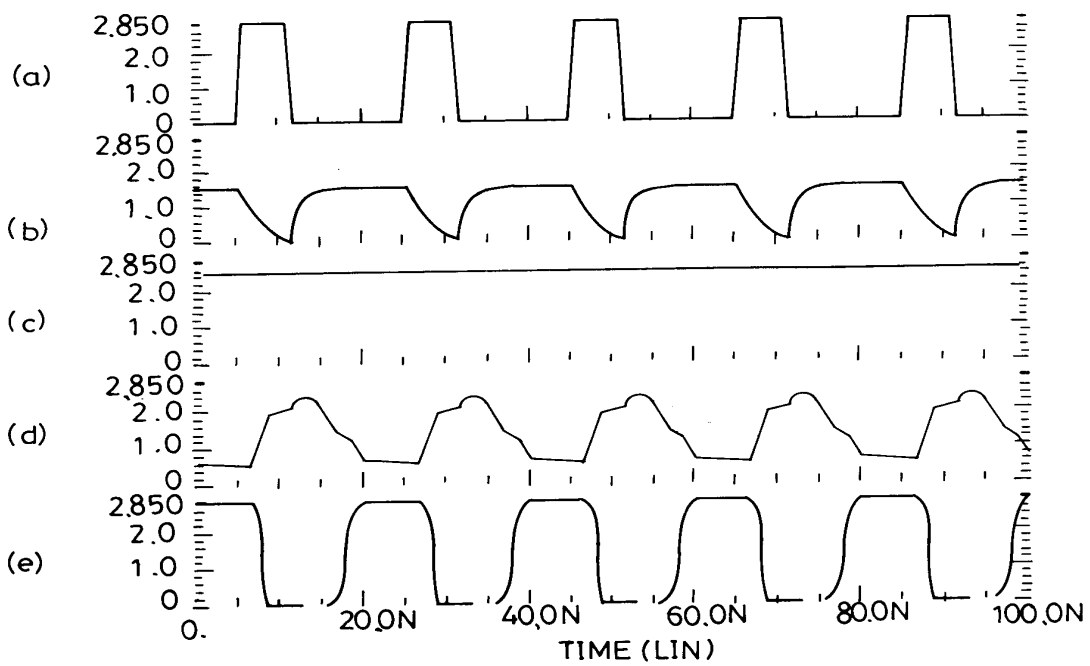
도면2



도면3



도면4



## 도면5

