



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0101785
(43) 공개일자 2011년09월16일

(51) Int. Cl.

H03K 3/03 (2006.01) H03K 3/354 (2006.01)

(21) 출원번호 10-2010-0021030

(22) 출원일자 2010년03월09일

심사청구일자 없음

기술이전 희망 : 기술양도, 실시권허여, 기술지도

(71) 출원인

한국전자통신연구원

대전 유성구 가정동 161번지

송실대학교산학협력단

서울 동작구 상도동 511

(72) 발명자

정영준

대전광역시 유성구 전민동 엑스포아파트 304-408

최재익

대전광역시 서구 둔산3동 국화아파트 202-402

(뒷면에 계속)

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 3 항

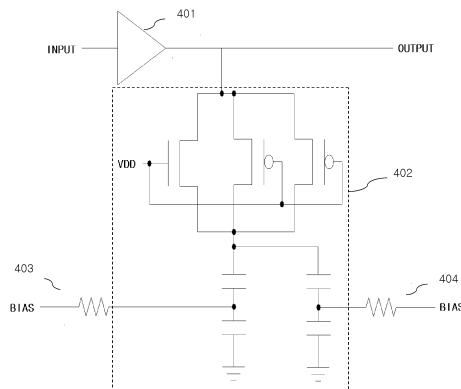
(54) CMOS 링 전압 제어 발진기

(57) 요약

본 발명은 본 발명은 전압 제어 발진기에 관한 것으로, 보다 구체적으로 CMOS 전압 제어 링 발진기에 관한 것이다.

본 발명의 일 실시 예에 따른 CMOS 링 전압 제어 발진기는, 입력단과 출력단간에 직렬로 연결되고, 제 1 MOSFET와 제 2 MOSFET의 폭이 소정의 간격으로 이격되어 병렬로 형성되는 제어부; 제 1 바이어스 전압이 인가되는 제 1 캐패시터; 및 제 2 바이어스 전압이 인가되는 제 2 캐패시터를 포함한다.

대표도 - 도4



(72) 발명자
전병건
서울특별시 노원구 상계7동 한양아파트 1-506

문용
서울특별시 서초구 반포본동 반포아파트 32-301

이 발명을 지원한 국가연구개발사업
과제고유번호 2009-F-033-01
부처명
연구관리전문기관
연구사업명
연구과제명 메타 전자파 구조를 이용한 전파(RF)스펙트럼 개선 기술 연구
기여율
주관기관 한국전자통신연구원, 숭실대학교산학협력단
연구기간 2009. 03. 01 ~ 2014. 02. 28

특허청구의 범위

청구항 1

CMOS 링 전압 제어 발진기에 있어서,

입력단과 출력단간에 직렬로 연결되고, 제 1 MOSFET와 제 2 MOSFET의 폭이 소정의 간격으로 이격되어 병렬로 형성되는 제어부;

상기 제어부에 연결되고, 제 1 바이어스 전압이 인가되는 제 1 캐패시터; 및

상기 제어부에 연결되고, 제 2 바이어스 전압이 인가되는 제 2 캐패시터

를 포함함을 특징으로 하는 발진기.

청구항 2

제 1 항에 있어서, 상기 제어부는,

상기 제 1 MOSFET와 상기 제 2 MOSFET의 폭은 1:N 형태로 차이를 가지고 형성함을 특징으로 하는 발진기.

청구항 3

제 1 항에 있어서, 상기 제어부는,

상기 제 1 MOSFET와 상기 제 2 MOSFET의 폭을 조절하여 주파수를 제어함을 특징으로 하는 발진기.

명세서

기술분야

[0001] 본 발명은 전압 제어 발진기에 관한 것으로, 보다 구체적으로 CMOS 전압 제어 링 발진기에 관한 것이다.

[0002] 본 발명은 지식경제부의 IT 성장동력핵심기술개발 사업의 일환으로 수행한 연구로부터 도출된 것이다[과제고유 번호: 2009-F-033-01, 과제명 : 메타 전자파 구조를 이용한 전파(RF)스펙트럼 개선 기술 연구]."

배경기술

[0003] 전압 제어 발진기(VCO : Voltage Controlled Oscillator, 이하'VCO'라 칭하기로 함.)는 입력전압을 조절하여 출력 주파수를 제어할 수 있는 발진기이다. 상기 VCO는 직류 전력을 교류 전력으로 변환하는 에너지 변환 회로이며 GaAs FET 또는 BJT 능동 소자를 사용하여 구현되고 있다. 상기 GaAs FET 또는 BJT 능동 소자는 발진기 내에서 발진 조건인 부성 저항을 제공하는 역할을 한다. 부성 저항을 갖는 부분은 공진기와 결합되며, 트랜지스터의 부하 저항에 연결되어있고, 외부적인 궤환 회로와 연결되어 있다. 이렇게 구성된 발진기는 발진조건을 만나게 되면 공진기의 공진 주파수에서 발진이 일어나며, 부하 저항에 교류 전력이 전달되게 된다.

[0004] 상기 VCO를 구현하는 방법은 여러 가지 있으며 그 중에 많이 사용되는 방법이 링 발진기(ring oscillator) 구조를 사용하는 것이다. 링 발진기에서 주파수변경은 근본적으로 RC(저항*캐패시턴스) 시정수에 의존하여 주파수가 결정된다. 이와 같은 이유로 상기 시정수의 변경을 위해서 저항값이나 캐패시턴스 값을 외부 전압에 의해서 변경하게 된다. 주파수 간격을 세밀하게 조정하기 위해서는 저항값이 미세하게 조절되거나 캐패시턴스 값이 미세하게 조절되어야 한다. 하지만, 저항값을 미세하게 조절하기 어려운 경우가 많아서 대부분 캐패시터들을 여러개를 연결하고, 상기 연결된 캐패시터들을 ON/OFF 하여 주파수 간격을 미세하게 조절하려는 방법을 사용하고 있다.

[0005] 상기와 같이 캐패시터들을 여러 개 연결하고, 이를 ON/OFF 하여 주파수 간격을 조절하면, 주파수 간격을 줄이는

효과는 있으나 주파수간격을 더욱 세밀하게 조절하기 위해서는 많은 캐패시터가 필요하고 이로 인한 면적이 크게 증가하는 단점이 있다.

발명의 내용

해결하려는 과제

- [0006] 따라서, 본 발명은 CMOS 링 전압 제어 발진기에 관한 것이다.
- [0007] 또한, 본 발명은 트랜지스터에 직렬로 비대칭 형태의 CMOS 스위치를 링 전압 제어 발진기에 직렬로 연결하여 주파수 간격을 줄일 수 있는 CMOS 링 전압 제어 발진기에 관한 것이다.
- [0008] 그리고, 본 발명은 트랜지스터에 직렬로 비대칭 형태의 CMOS 스위치에 서로 다른 전압이 인가되는 캐패시터들을 연결함으로써 전압 제어를 세밀하게 할 수 있는 CMOS 링 전압 제어 발진기에 관한 것이다.

과제의 해결 수단

- [0009] 상기한 목적들을 해결하기 위해 본 발명의 일 실시 예에 따른 CMOS 링 전압 제어 발진기는, 입력단과 출력단간에 직렬로 연결되고, 제 1 MOSFET와 제 2 MOSFET의 폭이 소정의 간격으로 이격되어 병렬로 형성되는 제어부; 제 1 바이어스 전압이 인가되는 제 1 캐패시터; 및 제 2 바이어스 전압이 인가되는 제 2 캐패시터를 포함하고, 상기 제 1 MOSFET와 상기 제 2 MOSFET의 폭은 1:N 형태로 차이를 가지고 형성된 회로이고, 상기 형성된 회로는 주파수 변경에 사용됨을 특징으로 한다.

발명의 효과

- [0010] 본 발명은, 트랜지스터에 직렬로 비대칭 형태의 CMOS 스위치를 링 전압 제어 발진기에 직렬로 연결하여 주파수 간격을 줄일 수 있고, 트랜지스터에 직렬로 비대칭 형태의 CMOS 스위치에 서로 다른 전압이 인가되는 캐패시터들을 연결함으로써 전압 제어를 세밀하게 할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 링 발진기의 구조를 도시한 도면,
- 도 2는 본 발명의 실시 예에 따른 링 전압 제어 발진기를 도시한 도면,
- 도 3은 본 발명의 실시 예에 따른 링 전압 제어 발진기를 도시한 도면,
- 도 4는 본 발명의 실시 예에 따른 링 전압 제어 발진기를 도시한 도면,
- 도 5는 제어전압의 변화에 따른 출력전압의 주파수 변화를 보인 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예를 상세히 설명하기로 한다. 그러면 여기서, 도 1을 참조하여 링 발진기의 구조를 보다 구체적으로 설명하기로 한다.
- [0013] 도 1은 링 발진기의 구조를 도시한 도면이다.
- [0014] 도 1을 참조하면, 상기 링 전압 제어 발진기는 입력단 INPUT, 출력단 OUTPUT, 상기 입력단과 출력단 간에 직렬로 연결된 발진부(101) 및 제어부(102)를 포함하고, 상기 제어부(102)는 n-MOSFET으로 구현된다. 여기서, 상기 제어부(102)는 n-MOSFET뿐만 아니라 p-MOSFET로도 구현될 수 있다. 그러면 여기서, 도 2를 참조하여 본 발명의 실시 예에 따른 링 전압 제어 발진기를 보다 구체적으로 설명하기로 한다.

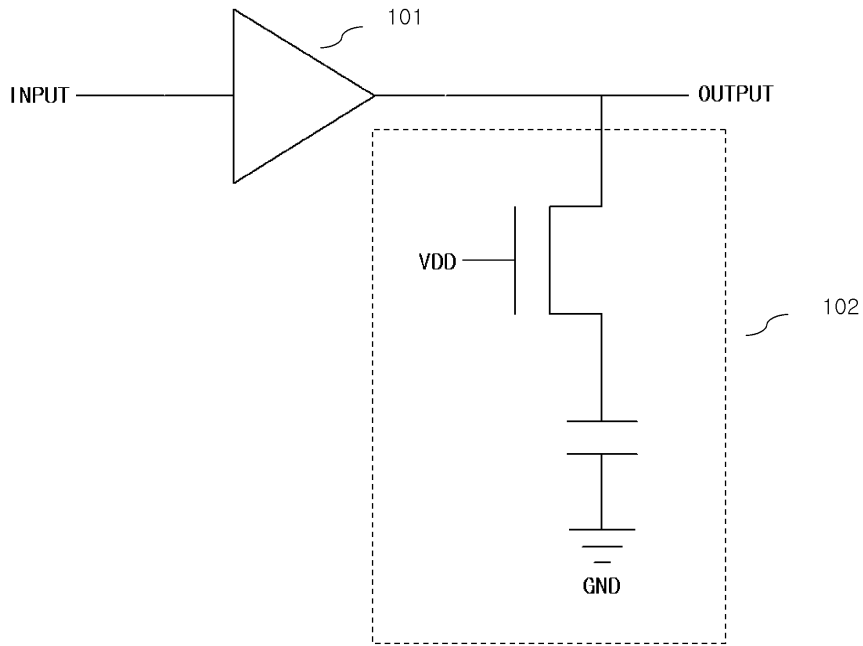
- [0015] 도 2는 본 발명의 실시 예에 따른 링 전압 제어 발진기를 도시한 도면이다.
- [0016] 도 2를 참조하면, 상기 CMOS 링 전압 제어 발진기는 입력단 INPUT, 출력단 OUTPUT, 상기 입력단과 출력단 간에 직렬로 연결된 발진부(201) 및 제어부(202)를 포함한다. 상기 제어부(202)는 도 1의 제어부(202)와는 달리 n-MOSFET 또는 p-MOSFET 중 하나만을 포함하는 것이 아니라 n-MOSFET과 p-MOSFET를 병렬로 연결한 CMOS를 포함한다. 본 발명에서는 주파수 간격을 줄일 수 있는 전압 제어 발진기를 구현하기 위해 저항역할을 하는 트랜지스터에 직렬로 비대칭 형태의 CMOS 스위치를 링 발진기에 직렬로 연결하였다.
- [0017] 하지만, 상기와 같은 형태의 CMOS 스위치를 전압 제어 링 발진기에 직렬로 연결한 경우에는 전압의 증가에 따라서 저항값이 증가하다가 다시 감소하기 때문에 단조성을 요구하는 전압 제어 발진기에는 사용이 불가능하다. 이와 같은 이유로 본 발명에서는 단조성을 요구하는 전압 제어 발진기의 응용에 사용 할 수 있도록 n-MOSFET과 p-MOSFET의 폭을 1:N 형태로 차이를 두어 단조성을 가지게 하고 이를 RC 시정수 제어에 사용하는 기법을 제안한다. 그러면 여기서, 도 3을 참조하여 본 발명의 실시 예에 따른 링 전압 제어 발진기를 보다 구체적으로 설명하기로 한다.
- [0018] 도 3은 본 발명의 실시 예에 따른 링 전압 제어 발진기를 도시한 도면이다.
- [0019] 도 3을 참조하면, 상기 링 전압 제어 발진기는 입력단 INPUT, 출력단 OUTPUT, 상기 입력단과 출력단 간에 직렬로 연결된 발진부(301), 제어부(302), 상기 제어부(302)는 도 1의 제어부(102)와는 달리 n-MOSFET 또는 p-MOSFET 중 하나만을 포함하는 것이 아니라 n-MOSFET과 p-MOSFET를 병렬로 연결한 CMOS를 포함한다. 여기서, 상기 n-MOSFET과 p-MOSFET를 병렬한 회로를 'CMOS 스위치'라고 칭하기로 한다.
- [0020] 상기 n-MOSFET과 p-MOSFET의 폭은 1:N 형태로 차이를 두어 구현됨으로써 단조성을 가지고, 이를 RC 시정수 제어에 사용함으로써 주파수 간격을 세밀하게 조절할 수 있다. 여기서, 상기 N은 자연수를 나타낸다. 그러면 여기서, 도 4를 참조하여 상기 CMOS 스위치에 제 1 캐패시터(403) 및 제 2 캐패시터(404)를 연결해 구현된 링 전압 제어 발진기의 구조를 보다 구체적으로 설명하기로 한다.
- [0021] 도 4는 본 발명의 또다른 실시 예에 따른 전압 제어 발진기를 도시한 도면이다.
- [0022] 도 4를 참조하면, 상기 링 전압 제어 발진기는 입력단 INPUT, 출력단 OUTPUT, 상기 입력단과 출력단 간에 직렬로 연결된 발진부(401), 제어부(402), 제 1 캐패시터(403) 및 제 2 캐패시터(404)를 포함한다. 상기 제어부(402)는 도 1의 제어부(102)와는 달리 n-MOSFET 또는 p-MOSFET 중 하나만을 포함하는 것이 아니라 n-MOSFET과 p-MOSFET를 병렬로 연결한 CMOS를 포함한다.
- [0023] 상기 링 전압 제어 발진기는 도 3의 링 전압 제어 발진기와는 달리 CMOS 스위치에 제 1 캐패시터(403) 및 제 2 캐패시터(404)를 연결하여 구현되었다. 상기 링 전압 제어 발진기는 상기 제 1 캐패시터(403) 및 제 2 캐패시터(404)의 캐패시터 값을 미세하게 조절하기 위해서 상기 제 1 캐패시터(403) 및 제 2 캐패시터(404) 각각에 서로 다른 바이어스 전압을 인가한다. 상기와 같이 제 1 캐패시터(403) 및 제 2 캐패시터(404)에 서로 다른 바이어스 전압을 인가하여 캐패시터 값을 미세하게 조절할 수 있으므로 주파수 간격을 세밀하게 조절할 수 있다.
- [0024] 도 5는 제어전압의 변화에 따른 출력전압의 주파수 변화를 보인 그래프이다.
- [0025] 이제까지 본 발명에 대하여 그 바람직한 실시 예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

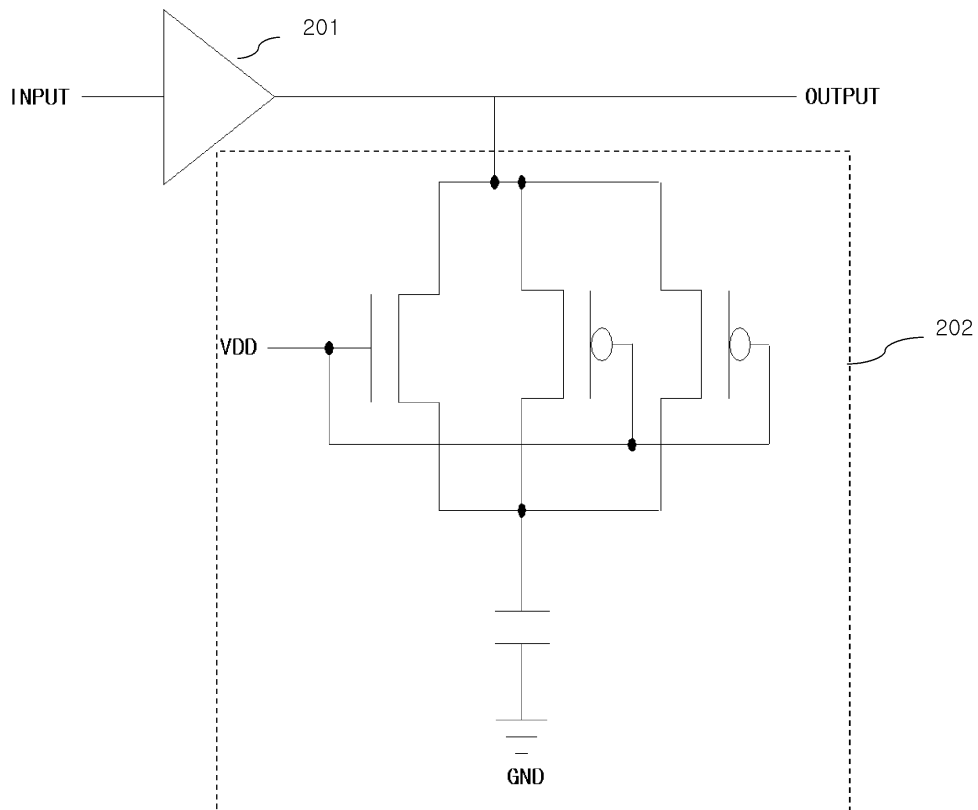
- | | | |
|--------|---------------------|---------------------|
| [0026] | 101, 201, 301 : 발진부 | 102, 202, 302 : 제어부 |
| | 303 : 제 1 캐패시터 | 304 : 제 2 캐패시터 |

도면

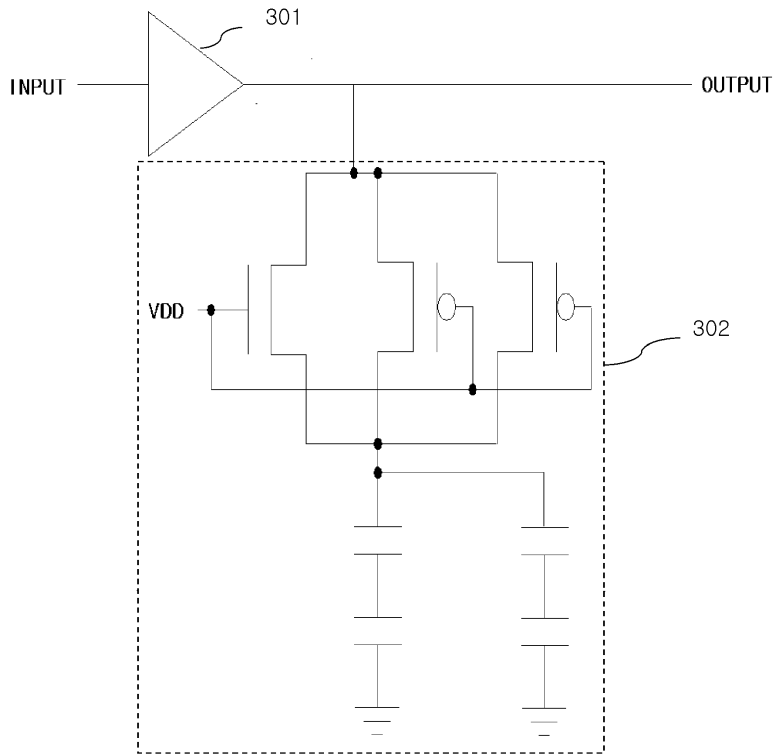
도면1



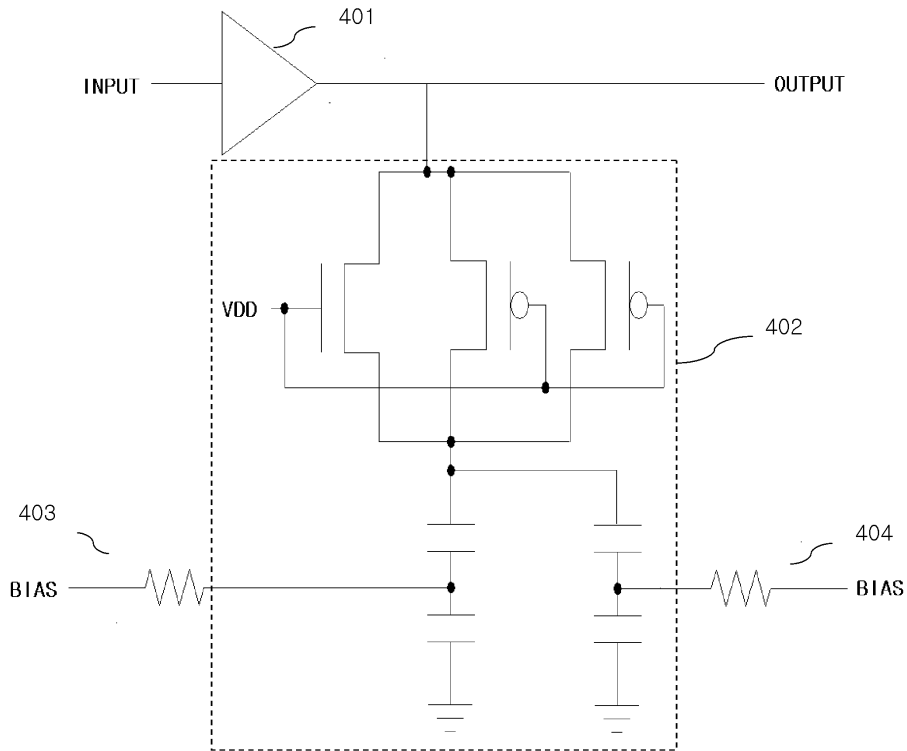
도면2



도면3



도면4



도면5

